

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-261706

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/00
H04N 5/06
H04N 9/30

BEST AVAILABLE COPY

(21)Application number : 06-049334

(71)Applicant : SHARP CORP

(22)Date of filing : 18.03.1994

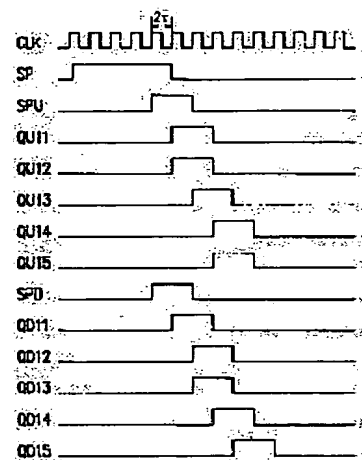
(72)Inventor : NAKAHARA YUKIHIRO
MIZUKATA KATSUYA
SHIMOKUBO MASAYA

(54) DISPLAY DRIVING DEVICE

(57)Abstract:

PURPOSE: To provide high resolution display by eliminating a color display failure.

CONSTITUTION: A clock signal CLK having a $3/2$ pixel period as a cycle and a start pulse SP for starting sampling are generated, based on these clock signal CLK and start pulse SP sampling pulses delayed by three pixel periods are sequentially generated by a pulse determining circuit and a column electrode driving circuit and by means of these sampling pulses pixel data of three adjacent red, green and blue colors are simultaneously sampled by a sampling circuit. Thus, since three dots of adjacent R, G and B are simultaneously sampled, color reproduction is improved and the structure of the column electrode driving circuit is made simple. Also, since a clock signal having a frequency $2/3$ of a conventional clock frequency is inputted, occurrences of unnecessary width projection and logic erroneous actions are prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Each pixel which has two or more red and each green and blue color is arranged in the shape of a matrix. It has a maintenance means to incorporate red and a green and blue video signal by the sampling pulse, and to hold. In the display driving gear which the odd-numbered train electrode and the even-numbered train electrode are scanned [driving gear] in a separate drive circuit, and supplies and displays a video signal on this each pixel A clock signal generating means to generate the clock signal which makes a 3/2-pixel period a period, A start pulse generating means to generate the start pulse which starts a sampling, It is based on this clock signal and a start pulse. During the 3-pixel period one by one by sampling pulse generation means to generate this overdue sampling pulse, and this sampling pulse The red of three points which adjoins, respectively, the display driving gear equipped with a sampling means to sample a green and blue pixel to coincidence.

[Claim 2] In the display driving gear which it is arranged [driving gear] in the shape of a delta green and blue every [red and] 3 pixels over even lines, and supplies and displays a video signal on these two or more pixels two or more pixels prepared in the shape of a matrix adjoin -- level -- level to odd lines -- The display driving gear which has the sampling means which repeats a sampling so that two colors which adjoin horizontally the timing of a sampling of the video signal supplied to this each pixel may be sampled to coincidence and other one color may be sampled to the following timing.

[Claim 3] In the display driving gear which it is arranged [driving gear] in the shape of a delta green and blue every [red and] 3 pixels over even lines, and supplies and displays a video signal on these two or more pixels two or more pixels prepared in the shape of a matrix adjoin -- level -- level to odd lines -- The 1st sampling pulse which samples the video signal for giving the pixel of this one horizontal of odd lines of a display panel, The display driving gear which has a sampling means to shift and sample the phase of the 2nd sampling pulse which samples the video signal for giving the pixel of this horizontal of even lines that this display panel adjoins.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the display driving gear of the train electrode especially about the display driving gear which allotted each pixel to the location where a line electrode and a train electrode cross in the shape of a matrix while allotting everywhere adjoining 3 pixels which presents red (it is called Following R), green (it is called Following G), and blue (it is called Following B), respectively like a liquid crystal display, a electroluminescence display, and a plasma display.

[0002]

[Description of the Prior Art] An example of this kind of display driving gear is indicated by JP,63-24770,A (name: the amorphous silicon thin film transistor liquid crystal panel drive approach, International Patent Classification:H04N). Since the approach of displaying by 1 pixel as a mixed color which mixed three colors of R, G, and B cannot be taken when displaying one point which has a color image in a matrix mold display in this conventional technique The technique displayed as combination color which adjusted the shade of each color of R, G, and B, and doubled the three colors by each pixel of the pixel which presents the pixel which presents R, the pixel which presents G, and B is taken. For this reason, three colors for originally displaying one certain point, R, G, and B, will occupy the display screen not over one point but over a 3-pixel wide area, and an image becomes quite coarse. therefore, 3 pixels which occupies the display screen are equivalent to one point -- the device which shifts the time amount which samples the pixel signal given to the pixel which makes the matrix of the display screen precise like, or presents each color of R, G, and B from a video signal, respectively according to the display position on the screen of each pixel is needed.

[0003] Here, taking the case of a TFT-liquid-crystal display, it explains based on drawing 9 . Drawing 9 is the block diagram of the conventional TFT-liquid-crystal indicating equipment with the display panel which allotted the pixel in the shape of a matrix. In drawing 9 , the dot as a picture element which has two or more colors of each of R, G, and B is arranged in the shape of a matrix, the train electrode drive circuits 1 and 2 are arranged by turns, and the odd-numbered train electrode and the even-numbered train electrode are scanned in a separate drive circuit. The source S of TFT which the source S of TFT which is a thin film transistor in the odd-numbered train is connected to the train electrode drive circuit 1 through the source bus line SU, and is in the even-numbered train is connected to the train electrode drive circuit 2 through the source bus line SD. Moreover, the drain D of TFT is connected to a pixel electrode, and Gate G is connected to the line electrode drive circuit 3 through the gate bus line g.

[0004] Thus, each pixel is allotted to the part where the line electrode g and the train electrode s cross, and consists of transparent pixel electrodes and TFT(s). In each [these] pixel, it has the filter of R, G, and B, respectively, and the transmission of liquid crystal changes according to the pixel signal impressed to the pixel electrode, and when the white light from the back light which had reinforcement adjusted by this liquid crystal passes said filter, the color of a filter serves as structure which attaches and presents a shade. Here, each pixel is describing the filter color which it has, respectively like R, or G or B.

[0005] By the above-mentioned configuration, the line electrode drive circuit 3 impresses ON state voltage to the line electrode g sequentially from the first line electrode g1. This ON state voltage is supplied to the gate G of two or more TFT(s) connected to one line electrode g all at once, and makes coincidence turn on TFT as an analog switch at this time. Moreover, the train electrode drive circuits 1 and 2 sample the pixel signals VR, VG, and VB of each R, G, and B included in a video signal at the sampling period (tau) based on the start pulse SP given from the outside, and clock signal CK, and give them to the train electrodes SU1, SD1, and SU2 connected to the pixel which presents R, G, and B, respectively. Here, if TFT on the line electrode g1 turns on, between the source S of TFT and Drain D

flows, and through the train electrodes SU1, SD1, and SU2, the pixel signals VR, VG, and VB of the analog which the train electrode drive circuits 1 and 2 generated will be given to the pixel electrode of each pixel of R, G, and B, and will be held.

[0006] According to the pixel signal impressed to this pixel electrode, the transmission of liquid crystal changes, and when the white light from the back light which had reinforcement adjusted by this liquid crystal passes a filter, the color of a filter attaches and presents a shade. Thus, in case each adjoining pixel of three points displays the mixed color which should be essentially displayed by one certain point by three-primary-colors R, and G and B and a user checks such combination color by looking, since only die-length $L (= \tau)$ has shifted, the display position of these pixels must also shift every 1 pixel also of pixel signals VR, VG, and VB given to these pixels, and also needs to shift the sampling time 1-dot period τ every. Thus, 3 point sequential sampling which carries out a sequential sampling is used according to the individual about the adjoining pixel of three points.

[0007] Such a three-point sequential sampling is explained based on a drawing. The block diagram of the train electrode drive circuit 1 in this case is shown in drawing 10, the block diagram of the train electrode drive circuit 2 is shown in drawing 11, and these timing charts are shown in drawing 12. In drawing 9 - drawing 12, the video signals VR, VG, and VB which are pixel signals are given to the pixel signal terminals VR, VG, and VB, respectively. Moreover, clock signal CK of 2-dot period 2τ is given to the control terminals SP and CK for a start pulse SP and a period, respectively. The pulse width decision circuit 4 of the train electrode drive circuit 1 generates the pulse SPU which has reception and predetermined pulse width for a start pulse SP. Moreover, the pulse width decision circuit 5 of the train electrode drive circuit 2 generates the pulse SPD which has reception and predetermined pulse width for a start pulse SP.

[0008] D flip-flops DU1, DU2, and DU3 and -- to which series connection of [in the train drive circuit 1 shown in drawing 10] was carried out next, respectively As the pulses SPU, QU1, QU2, and QU3 and -- which are given to the input terminal D are incorporated when clock signal CK given to an input terminal ck starts, and shown in drawing 12 Sequential generation of the pulses QU1, QU2, QU3, and QU4 and -- which delayed time amount 2τ every is carried out, and these are given to each sampling circuit 6, respectively. since, as for the pulse period of pulses QU1, QU2, and U3, only time amount 2τ has shifted, respectively -- pulses QU1, QU2, and QU3 -- the pixel signal of the video signals VR, VB, and VG which come out, respectively and are incorporated will have the video signal shifted every 2 pixels, respectively. for this reason, the image information on the pixel signal which the output-buffer circuit 7 supplies to a train electrode -- respectively -- every 2 pixels -- that is, it will shift die-length $2L$ every.

[0009] To each input terminal ck of D flip-flops DD1, DD2, and DD3 to which series connection of [in the train drive circuit 2 shown in drawing 11] was carried out similarly, and --, moreover, respectively Since each input terminal ck is given through an inverter 8, the pulses SPD, QD1, QD2, and QD3 and -- which are given to the input terminal D when clock signal CK given to Terminal CK falls are incorporated. As shown in drawing 12, sequential generation of the pulses QD1, QD2, QD3, and QD4 and -- which delayed time amount 2τ every is carried out, and these are given to each sampling circuit 9, respectively. since, as for the pulse period of pulses QD1, QD2, and QD3, only time amount 2τ has shifted, respectively -- pulses QD1, QD2, and QD3 -- the pixel signal of the video signals VG, VR, and VB which come out, respectively and are incorporated will have the video signal shifted every 2 pixels, respectively. for this reason, the image information on the pixel signal which the output-buffer circuit 10 supplies to a train electrode -- respectively -- every 2 pixels -- that is, it will shift die-length $2L$ every.

[0010] Thus, since the output of the train electrode drive circuit 1 and the output of the train electrode drive circuit 2 are connected to the scan line of an odd number train and an even number train, respectively, each pixel on the line electrode g which incorporates these pixel signals to coincidence will receive the pixel signal from the train electrode drive circuit 1 and the train electrode drive circuit 2 at intervals of a pixel. therefore, since the pixel electrode charged by the train electrode drive circuit of one side is shifted die-length $2L$ every, in case an image is checked by looking, the mismatch of an

image will not arise at all.

[0011] Furthermore, other conventional examples of a three-point sequential sampling are explained in detail based on a drawing.

[0012] The block diagram of the matrix mold liquid crystal display of the conventional delta array is shown in drawing 13, and the circuit diagram of the train electrode drive circuit which drives the matrix mold liquid crystal display of drawing 13 to drawing 14 is shown. Moreover, the wave of the shift lock pulse at the time of driving the matrix mold liquid crystal display of the delta array of drawing 13 to drawing 15 and a sampling pulse is shown. In drawing 13 - drawing 15 Transistors Aa1 and Ab1, ..., Aai, Abi, and ... Aan, Abn, transistors Ba1 and Bb1, and ... Bai, Bbi, ..., Ban and Bbn and transistors calcium1 and Cb1, ..., If the signal inputted into Gate g is set to "High" level, Source s and Drain d will flow through Cai, Cbi, ..., Can and Cbn, respectively. If it will be in an ON state as an analog switch and the signal inputted into Gate g is conversely set to "Low" level, Source s and Drain d will be un-flowing, and will be in an OFF state as an analog switch. moreover, each output buffers F1, ..., Fi and ... the video signal into which Fn was inputted from Va and Vb terminal -- a suitable value -- amplifying -- the pixel signals VS1, ..., VSi and ... it outputs as VS_n. furthermore, Transistors calcium1, ..., Cai and ... Can -- the output change-over signal CNTA inputs into each gate g -- having -- moreover, a transistor Cb1, ..., Cbi, ..., Cbn -- the output change-over signal CNTB is inputted into each gate g. Since it is reversed, respectively and these output change-over signals CNTA and CNTB repeat "High" "Low" level with level for every [1 of the Rhine period H /] two In the period of 0.5H First, the transistors calcium1, ..., Cai, Cbn will be in an OFF state... Can -- an ON state -- Transistors Cb1, ..., Cbi and ... the next period of 0.5H -- setting -- Transistors calcium1, ..., Cai and ... as for a transistor Cb1, ..., Cbi, ..., Cbn, Can will be in an ON state by the OFF state.

[0013] Moreover, the shift clocks CK1 and CK2 of the period tau as shown in drawing 15 a and drawing 15 b are given to shift registers 11 and 12. To the shift clock CK 1, the shift clock CK 2 is late only tau/2 on the time-axis, and is shifted only tau/2 about the phase. As shown in these shift registers 11 and 12 at drawing 15 c, a start pulse SP is supplied in early stages of an one-line period. Although a shift register 11 will start a shift action if a start pulse SP is inputted, timing of the shift action is performed to every period tau synchronizing with the standup of the shift clock CK 1. Although a shift register 12 will start a shift action similarly if a start pulse SP is inputted, timing of the shift action is performed to every period tau synchronizing with the standup of the shift clock CK 2.

[0014] Consequently, as shown in drawing 15 d, and drawing 15 h, a period is the pulse of tau, and the sampling pulse Sa1 which a shift register 11 gives to each gate g of the transistors Aa1, ..., Aai of a sample hold circuit, ..., Aan**, ..., Sai, ..., San will be delayed tau every one by one, and will be generated. As the sampling pulse Sb1 which a shift register 12 gives similarly to each gate g of the transistors Ab1, ..., Abi of a sample hold circuit, ..., Abn**, ..., Sbi, ..., Sbn are shown in drawing 15 i - drawing 15 m, a sampling pulse Sa1, ..., the point shifted only tau/2 to Sai, ..., San are only different.

[0015] in order that [thus,] a shift clock / CK2 may be delayed only tau/2 on a time-axis and may shift the phase only pi/2 to the shift clock CK 1 -- shift registers 11 and 12 -- the timing which starts each shift action will be delayed only tau/2 on a time-axis. Therefore, the sampling period which a sampling pulse Sb1 directs to a transistor Ab1 is delayed only tau/2 on a time-axis to the sampling period which a sampling pulse Sa1 directs to a transistor Aa1. since the same is said of the following -- sampling pulses Sb1, ..., Sbi and ... the sampling period which each Sbn directs -- sampling pulses Sa1, ..., Sai and ... it is delayed only tau/2 on a time-axis to the sampling period which each San directs.

[0016] furthermore, Transistors Aa1, ..., Aai and ... a video signal Va inputs into the source s of Aan -- having -- Transistors Ab1, ..., Abi and ... the video signal Vb which is carrying out the positive/negative inversion corresponding to the video signal Va is inputted into the source s of Abn. criteria [point / that a line electrode and a train electrode cross the coordinate of the pixel in drawing 13] -- carrying out -- the train electrodes S1 and S2 and ... Sn, the line electrodes G1 and G2, and ... the numeric value of Gn shows. the array of each pixel to which a video signal Va is located in a line on one odd-line electrode

G_j — receiving — every period of τ — serial — each pixel electrodes 13 (1 j) and 13 (2 j) and ... the signal levels V_{a1}, ..., V_{ai} impressed to 13 (n, j), and ... V_{an} is put in order. A video signal V_b corresponds to the array of each pixel located in a line on one even-line electrode G (j+1) which adjoins the odd-line electrode line G_j. every period of τ — serial — the pixel electrodes 13 (1 (j+1)) and 13 (2 (j+1)) of each pixel, and ... the signal levels V_{b1}, ..., V_{bi} impressed to 13 (n, (j+1)), and ... V_{bn} is put in order. [0017] therefore, the signal levels V_{a1}, ..., V_{ai} on a video signal V_a and ... V_{an} — sampling pulses S_{a1}, ..., S_{ai} and ... the signal levels V_{b1}, ..., V_{bi} which can sample by S_{an} and are on a video signal V_b similarly, and ... V_{bn} — sampling pulses S_{b1}, ..., S_{bi} and ... it can sample by S_{bn}. furthermore, signal levels V_{a1}, ..., V_{ai} and ... V_{an} — receiving — signal levels V_{b1}, ..., V_{bi} and ... V_{bn} will be only in $\tau/2$ which corresponds on a time-axis at a part for a half-pixel.

[0018] In addition, since **** has only G (green) in each pixel linked to the odd-line electrode G₁ shown in drawing 13 as for the i-th pixel, the signal level V_{ai} impressed to the pixel electrode 13 (i, 1) of this pixel is generated in order to reproduce green brightness, and is transmitted to the pixel electrode 13 (i, 1) through TFT14 (i, 1) which is a transistor from the train electrode S_i. Moreover, since **** has only Red R in each pixel similarly connected to the even-line electrode G₂ shown in drawing 13 as for the i-th pixel, the signal level V_{bi} impressed to the pixel electrode 13 (i, 2) of this pixel is generated in order to reproduce red brightness, and is transmitted to the pixel electrode 13 (i, 2) through TFT14 (i, 2) from the train electrode S_i. The same is said of other pixels.

[0019] Next, a drive procedure is explained about the drive circuit mentioned above.

[0020] the above-mentioned configuration — first — an one-line period — setting — sampling pulses S_{a1}, ..., S_{ai} and ... S_{an}, sampling pulses S_{b1}, ..., S_{bi}, and ..., since S_{bn} is set to "High" level one by one Transistors A_{a1} and A_{b1}, ..., A_{ai}, A_{bi}, ..., A_{an}, A_{bn} will be in an ON state one by one, and the sequential sampling of the signal levels V_{a1} and V_{b1} obtained from video signals V_a and V_b, ..., V_{ai} and V_{bi}, ..., V_{an} and V_{bn} is carried out at the sampling capacitors D_{a1} and D_{b1}, ..., D_{ai} and D_{bi}, ..., D_{an} and D_{bn}. The above is a three-point sequential sampling method.

[0021] Furthermore, there is a three-point coincidence sampling method which samples a signal level of 3 pixels like drawing 16 shown in JP,3-158895,A given to Pixels R, G, and B as one unit as other sampling methods. this — a method — **** — one — a line — a period — setting — a sampling pulse — S_a — one — ' ... S_{ai} — ' ... S_{an} — ' — S_b — one — ' ... S_{bi} — ' ... S_{bn} — ' — R> 6n of drawing 16 -, drawing 16 s, and drawing 16 t - drawing 16 y — being shown — as — Since it is set to "High" level one by one by making a part for 3 dots of horizontals into one unit Transistors A_{a1} and A_{b1}, ..., A_{ai}, A_{bi}, ..., A_{an}, The signal levels V_{a1} and V_{b1}, ... by which A_{bn} will also be three steps at a time in an ON state, and is obtained from video signals V_a and V_b, V_{ai}, V_{bi}, ..., V_{an} and V_{bn} — the sampling capacitors D_{a1} and D_{b1}, ..., D_{ai} and D_{bi}, ..., D_{an} and D_{bn} — three steps are sampled at a time in order. About the following actuation, a three-point sequential sampling method and a three-point coincidence sampling method are the same.

[0022] In an one-line period The sampling capacitors D_{a1} and D_{b1}, ..., After all of D_{ai}, D_{bi}, ..., the above-mentioned sampling action by D_{an} and D_{bn} are completed, Since the line switch signal level T starts on "High" level and all the transistors B_{a1} and B_{b1}, ..., B_{ai} and B_{bi}, ..., B_{an}(s) and B_{bn}(s) are turned on all at once Each signal levels V_{a1} and V_{b1}, ..., V_{ai} and V_{bi}, ..., V_{an} and V_{bn} are held by each hold capacitors E_{a1} and E_{b1}, ..., E_{ai} and E_{bi}, ..., E_{an} and E_{bn}.

[0023] At an one-line period Thus, each hold capacitors E_{a1} and E_{b1}, ..., Each of E_{ai}, E_{bi}, ..., the signal levels V_{a1} and V_{b1} held by E_{an} and E_{bn}, ..., V_{ai} and V_{bi}, ..., V_{an} and V_{bn} The pixel electrode 13 (1 1) of each pixel of the matrix mold liquid crystal panel 15 of the delta array shown in drawing 13 between the next one-line periods as follows, It is transmitted to ..., 13 (i, 1), ..., 13 (n, 1) and 13 (1 2), ..., 13 (i, 2), ..., 13 (n, 2).

[0024] The Rhine selection signal V_G 1 impressed to the line electrode G₁ is first set to "High" level between 1/2-line periods, and TFT14 (1 1) and ... which were connected to the line electrode G₁, and 14 (i, 1), ..., 14 (n, 1) are turned on [*****]. Since this period and the output change-over signal CNTB

are "Low" level and the output change-over signal CNTA is "High" level, Since a transistor calcium 1, ..., Cai, ..., Can, and ***** will be simultaneous in an ON state with an OFF state as for all of a transistor Cb1, ..., Cbi(s), ..., Cbn(s) A signal level Vb1, ..., Vbi, ..., Vbn are not outputted to each train electrode S1, ..., Si, ..., Sn as the pixel signal VS 1, ..., VSi, ..., VSn, but only a signal level Va1, ..., Vai, ..., Van are outputted, respectively.

[0025] Therefore, each signal level Va1, ..., Vai, ..., Van are impressed to the pixel electrode 13 (1 1), ..., 13 (i, 1), ..., 13 (n, 1) through TFT14 (1 1) and ... which were connected to the line electrode G1 turned on all at once, and 14 (i, 1), ..., 14 (n, 1), respectively.

[0026] The Rhine selection signal VG 2 impressed to the line electrode G2 at the remaining 1/2-line periods will be set to "High" level, and all (n, 2) of TFT14 (1 2) and ... which were connected to the line electrode G2, and 14 (i, 2), ..., 14 will be in an ON state. Since this period and the output change-over signal CNTA are "Low" level and the output change-over signal CNTB is "High" level, Since a transistor Cb1, ..., Cbi, ..., Cbn, and ***** will be simultaneous in an ON state altogether with an OFF state as for Transistors calcium1, Cai, ..., Can A signal level Va1, ..., Vai, ..., Van are not outputted to each train electrode S1, ..., Si, ..., Sn as the pixel signal VS 1, ..., VSi, ..., VSn, but only a signal level Va1, ..., Vbi, ..., Vbn are outputted, respectively. Therefore, each signal level Vb1, ..., Vbi, ..., Vbn are impressed to the pixel electrode 13 (1 2), ..., 13 (i, 2), ..., 13 (n, 2) through TFT14 (1 2) and ... which were connected to the line electrode G2 turned on all at once, and 14 (i, 2), ..., 14 (n, 2), respectively.

[0027] Namely, a sample hold circuit SAMa1, ..., SAMai, ..., The video signal Va1 about the pixel by which SAMan was connected to the electrode G1 of the oddth line, G3, and ..., ..., Vai, ..., Van will be held. A sample hold circuit SAMb1, ..., SAMbi, ..., SAMbn will hold the line electrodes G2 and G4 of the eventh line, the video signal Vb1 about the pixel connected to ..., ..., Vbi, ..., Vbn.

[0028] When the matrix mold liquid crystal panel 15 of the delta array which **13**(ed) is driven, thus, as mentioned above As opposed to Van the line electrode G1 of the oddth line, G3, and ... the signal levels Va1, ..., Vai given to the connected pixel and ... the line electrodes G2 and G4 of the eventh line, the video signals Vb1, ..., Vbi given to the pixel connected to .., and ... since Vbn is overdue by the half-pixel, the phenomenon in which a pixel boundary line is confused dies out, and a clear image is reproduced by the display panel 15 of a delta array.

[0029]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned conventional three-point sequential sampling method, since the period of clock signal CK to be used is 2-dot period 2τ as shown in drawing 12, and an input-clock frequency must become quite high, must follow on increasing the number of level pixels and must make an input-clock frequency high further, spurious radiation is started or malfunction of logic is caused. Moreover, since it is necessary to shift a sampling pulse every 2 dots, the train electrode drive circuits 1 and 2 become complicated.

[0030] Thus, when performing a three-point sequential sampling, if the period of clock signal CK must be set to 2-dot period 2τ like drawing 12 and it is going to increase a level pixel, the frequency of clock signal CK must be raised and problems, such as generating of spurious radiation and malfunction of logic, will occur. Moreover, since the point which should be essentially displayed by one point is expressed with three points, R, adjoining G, and adjoining B, in the case of color display and the sampling time of R, G, and B is shifted τ every, respectively, it becomes difficult to reproduce the color which should be essentially displayed on one certain point.

[0031] Next, as a three-point sequential sampling is shown in drawing 1717 Since the period of the shift clock CK 1 made to generate the sampling pulses Sa1, Sa2, and Sa3 for sampling the signal levels VR, VG, and VB given to R, G, and B each pixel from a video signal Vc is a 1-dot period ($=\tau$), The signal level obtained by sampling also serves as signal level of the part from which only the 1-dot period ($=\tau$) differed serially, and a difference of R at the time of a high region signal input as shows a video signal Vc, G, and B signal level serves as a technical problem called poor color specification, and appears.

[0032] For example, in a liquid crystal display panel (no MARI White mode), when a binary digital video

signal as shown in drawing 19 a tends to be inputted into the pixel of each level Rhine and it is going to display black vertical Rhine, a wave-like standup and falling of the video signal inputted tend to become blunt like drawing 19 b with the output impedance of video amplifier, or wiring resistance and capacity. When the video signal given to each pixel with the sampling clock shown in drawing 19 c is sampled, level not only becomes low like R electrical potential difference of drawing 19 d, but the timing will be twice sampled to one R data in the place whose video signal became blunt. In the example of drawing 19, it is not sampled twice. For this reason, the video signal of R has a voltage level lower than expected value, and since it is sampled also twice [further], the symptom as which vertical Rhine of half-closed eyes where what should carry out the display of 1 dot essentially adjoined black Rhine of the length which carried out the color blot from R pixels of next steps being colored and being sampled to the same timing also as each Rhine ranging over 2 dots is displayed arises.

[0033] Moreover, since the period of the shift clock CK 1 is a 1-dot period ($=\tau$), if a clock frequency becomes high, follows on increasing the number of level pixels and increases an input-clock frequency further, unnecessary **** will be started or malfunction of logic will be caused.

[0034] furthermore -- three -- a point -- coincidence -- a sampling -- **** -- drawing 18 -- being shown -- as -- a video signal -- Vd -- adjoining -- level -- a pixel -- R -- G -- B -- giving -- a signal level -- VR -- ' -- VG -- ' -- VB -- ' -- a sampling pulse -- Sa -- one -- ' -- Sa -- two -- ' -- Sa -- three -- ' -- being the same -- timing -- sampling -- having -- a sake -- Although there is no problem of a poor display which was described above, since the signal level of the same level occupies a part for 3 dots of horizontals, high resolution is not obtained with a display with few level pixels.

[0035] This invention solves the above-mentioned conventional problem, cancels poor color specification, and aims at offering a display driving gear with the display capacity of high resolution.

[0036]

[Means for Solving the Problem] The display driving gear of this invention arranges each pixel which has two or more red and each green and blue color in the shape of a matrix. It has a maintenance means to incorporate red and a green and blue video signal by the sampling pulse, and to hold. In the display driving gear which the odd-numbered train electrode and the even-numbered train electrode are scanned [driving gear] in a separate drive circuit, and supplies and displays a video signal on this each pixel A clock signal generating means to generate the clock signal which makes a $3/2$ -pixel period a period, A start pulse generating means to generate the start pulse which starts a sampling, It is based on this clock signal and a start pulse. During the 3-pixel period one by one by sampling pulse generation means to generate this overdue sampling pulse, and this sampling pulse It has a sampling means to sample to coincidence the red of three points which adjoins, respectively, and a green and blue pixel, and the above-mentioned purpose is attained by that.

[0037] The display driving gear of this invention is crossed to the horizontal of odd lines and horizontal of even lines which two or more pixels prepared in the shape of a matrix adjoin. Moreover, red, In the display driving gear which it is arranged [driving gear] in the shape of a delta green and blue every 3 pixels, and supplies and displays a video signal on these two or more pixels Two colors which adjoin horizontally the timing of a sampling of the video signal supplied to this each pixel are sampled to coincidence. It has the sampling means which repeats a sampling so that other one color may be sampled to the following timing, and the above-mentioned purpose is attained by that.

[0038] The display driving gear of this invention is crossed to level odd Rhine and level even Rhine where two or more pixels prepared in the shape of a matrix adjoin. Furthermore, red, In the display driving gear which it is arranged [driving gear] in the shape of a delta green and blue every 3 pixels, and supplies and displays a video signal on these two or more pixels The 1st sampling pulse which samples the video signal for giving the pixel of this one horizontal of odd lines of a display panel, It has a sampling means to shift and sample the phase of the 2nd sampling pulse which samples the video signal for giving the pixel of this horizontal of even lines that this display panel adjoins, and the above-mentioned purpose is attained by that.

[0039]

[Function] By the above-mentioned configuration, since a clock frequency is driven by conventional two thirds, a level pixel can be increased suppressing generating of unnecessary ****, and incorrect actuation of logic, and color reproduction nature also becomes good. Moreover, the configuration of a train electrode drive circuit becomes easy.

[0040] Moreover, a means to sample the video signal which gives the sampling timing of a signal to red and the adjoining green and blue pixel to coincidence, and to sample other one point in order, With or the means which shifts the phase of the timing of the sampling pulse of the video signal given to the pixel of odd lines of a display, and the timing of the sampling pulse of the video signal given to the pixel of even lines The red and the 3-pixel green and blue display which combined the horizontal of odd lines which adjoins the combination color of one point of a video signal, and the horizontal of even lines by sampling a video signal can be performed.

[0041] Since it is satisfactory to poor color specification since the level of the signal level supplied to these 3 pixels is sampled to the same timing, and a display rectangle can display like [at the time of the conventional three point coincidence sampling] in the range of 2 dots of 3 dots of horizontals to horizontals and shift timing of that sampling pulse can also be performed by every 1.5 pixel (1.5tau), it can drive with a low clock frequency to a three-point sequential sampling, and resolution higher than the time of the conventional three-point coincidence sampling is obtained.

[0042]

[Example] Hereafter, the example of this invention is explained. The drive circuit of a matrix mold display is explained taking the case of the drive circuit which drives a TFT-liquid-crystal display.

[0043] Drawing 1 is the block circuit diagram of the train electrode drive circuit of the odd number train in the display drive circuit which shows one example of this invention, and drawing 2 is the block circuit diagram of the train electrode drive circuit of an even number train. Moreover, the timing chart in the case of performing a two-point sampling [one point toggle] using this train drive circuit is shown in drawing 3.

[0044] In drawing 1 and drawing 2, the pulse width decision circuit 32 of the train electrode drive circuit 31 generates the pulse SPU which has reception and predetermined pulse width for a start pulse SP, and supplies it to the input terminal D of D-flip-flop DU11. Moreover, the pulse width decision circuit 34 of the train electrode drive circuit 33 generates the pulse SPD which has reception and predetermined pulse width for a start pulse SP, and supplies it to the input terminal D of D-flip-flop DD11. Here, clock signal CK 11 and 12 is inputted into a terminal 11 and CK 12. This clock signal CK 11 and 12 is taken as a clock signal with two thirds of the frequencies of drawing 7 and clock signal CK of drawing 8.

[0045] D-flip-flop DU11 in the train electrode drive circuit 31 generates the pulse QU11 which delayed time amount to the pulse SPU given to the input terminal D, when clock signal CK11 given to the control terminal CK 11 starts. This pulse QU11 is given to the input terminal D and sampling circuits 35 and 36 of D-flip-flop DU12. Furthermore, when clock signal CK11 given to a terminal CK 11 starts like [D-flip-flop DU12] D-flip-flop DU11, the pulse QU11 given to an input terminal D is incorporated, and the pulse QU12 which delayed time amount to the pulse QU11 is generated. This pulse QU12 is given to the input terminal D and sampling circuit 37 of D-flip-flop DU13. Hereafter, D-flip-flop DU14 operates similarly to D-flip-flop DU13 pan.

[0046] D-flip-flop DD11 in the train electrode drive circuit 33 generates the pulse QD11 which delayed time amount to the pulse SPD given to the input terminal D, when clock signal CK12 given to the terminal CK 12 starts. This pulse QD11 is given to the input terminal D and sampling circuit 38 of D-flip-flop DD12. When clock signal CK12 given to a terminal CK 12 starts like [this D-flip-flop DD12] D-flip-flop DD11, the pulse QD11 given to an input terminal D is incorporated, and the pulse QD12 which delayed time amount to the pulse QD11 is generated. This pulse QD12 is given to the input terminal D and sampling circuits 39 and 40 of D-flip-flop DD13. Hereafter, D-flip-flop DD14 operates similarly to D-flip-flop DD13 pan.

[0047] Thus, since clock signal CK 11 and 12 inputted into the train electrode drive circuit 31 and the train electrode drive circuit 33 is the same signal, the sampling circuits 35 and 36 of the train electrode drive circuit 31 and the sampling circuit 38 of the train electrode drive circuit 33 will operate to coincidence. Then, the sampling circuit 37 of the train electrode drive circuit 31 and the sampling circuits 39 and 40 of the train electrode drive circuit 33 will operate to coincidence in the standup of following clock signal CK 11 and 12. The same actuation as the following is repeated.

[0048] Therefore, since 3 dots, R, adjoining G, and adjoining B, can be sampled to coincidence, color reproduction nature becomes good and can also simplify the configuration of a train electrode drive circuit. Moreover, since a clock signal with two thirds of the frequencies of the conventional clock frequency is inputted, it is avoidable to cause incorrect actuation of unnecessary **** or logic. In addition, drawing 1 and the example of circuitry of the sampling circuit of drawing 2 are shown in drawing 4, the example of circuitry of drawing 1 and the output-buffer circuit of drawing 2 is shown in drawing 5, and a sampling circuit and an output-buffer circuit can be constituted easily.

[0049] Next, other examples of this invention and the example of further others are shown. The example of a display pattern when displaying on drawing 6 by turns the timing chart of the sampling pulse of the video signal given to each pixel of R, G, and B in other examples of this invention and monochrome vertical lines is shown. The example of a display pattern at the time of making monochrome vertical lines display it on drawing 7 as the timing chart of the sampling pulse of the video signal given to each pixel of R, G, and B in the three-point coincidence sampling method of the example of further others of this invention by turns similarly is shown. In addition, the circuit pattern of each display pixel is the same as that of drawing 1 and drawing 2, and omits the explanation here. In drawing 6, the video signal given to the adjoining pixel of R (red) and G (green) is sampled to coincidence, and the video signal given at order to other pixels of B (blue) of one point is sampled. Moreover, in drawing 7, the phase of the timing of the sampling pulse of the video signal given to the pixel of odd lines of a display and the timing of the sampling pulse of the video signal given to the pixel of even lines is shifted, and a video signal is sampled. by the above, the combination color of one point of a video signal is adjoined, as shown in drawing 8 -- level -- level to odd lines -- the 3 pixels (delta array) display of R, G, and B which combined even lines is attained.

[0050] Since it is satisfactory to poor color specification since the level of the signal level supplied to these 3 pixels is sampled to the same timing, and a display rectangle can display like [at the time of the conventional three point coincidence sampling] in the range of 2 dots of 3 dots of horizontals to horizontals and shift timing of that sampling pulse can also be performed by every 1.5 pixel (1.5tau), it can drive with a low clock frequency to a three-point sequential sampling, and resolution higher than the time of the conventional three-point coincidence sampling is obtained.

[0051] Namely, in order that wave W (3) shown in drawing 6 and drawing 7 - W (14) may sample the signal level given to each pixel of R, G, and B of display panels 41 and 42, The sampling pulses Sa1, Sa2, and Sa3, ... which are generated with the shift registers 9 and 10 of drawing 2, Sb -- one -- Sb -- two -- Sb -- three ... moreover -- a sampling pulse -- Sa -- one -- ' -- Sa -- two -- ' -- Sa -- three -- ' ... Sb -- one -- ' -- Sb -- two -- ' -- Sb -- three -- ' ... timing -- being shown -- **** .

[0052] Moreover, drawing 6 and the sampling pulses Sa1, Sa2, and Sa3 in drawing 7, ..., Sb1, Sb2, Sb3, ..., sampling pulse Sa1', Sa -- two -- ' -- Sa -- three -- ' ... Sb -- one -- ' -- Sb -- two -- ' -- Sb -- three -- ' ... both -- the standup of the shift clock CK -- synchronizing -- **** -- A sampling will be started if a start pulse SP is inputted. Sampling pulses Sa1, Sa2, and Sa3, ..., Sb1, Sb2, Sb3, ..., sampling pulse Sa1', Sa -- two -- ' -- Sa -- three -- ' ... Sb -- one -- ' -- Sb -- two -- ' -- Sb -- three -- ' ... a standup -- the transistors Aa1 and Ab1 of drawing 2, and ... Aai, Abi, ..., Aan and Abn will be in an ON state one by one, and the sequential sampling of the signal level is carried out at the sampling capacitors Da1 and Db1, ..., Dai and Dbi, ..., Dan and Dbn.

[0053] If the sampling wave of the video signal given to R [of the delta array which consists of the 1st line of the display pattern in the display panel 41 of drawing 6 and the 2nd line], G, and B each pixel is

seen Sampling pulse W which samples odd lines and even lines (3), Since W (4), W (8) and W (5), W (6), and W (7) have started to the always same timing, they understand that R and G which combined level odd Rhine and level even Rhine, and the video signal given to B3 pixel (delta array) are always simultaneous. The problem of the poor color specification by timing gap of the video signal given from this to R [of a delta array], G, and B each pixel is not produced.

[0054] Therefore, the sampling method in the monochrome display pattern of the display panel 41 on which vertical lines were displayed, If the three-point coincidence sampling method of drawing 7 is compared, in the display pattern of the display panel 41 on which the monochrome vertical lines in the sampling method in this invention were displayed As opposed to occupying the pixel range of 3 dots of horizontals, although it displays each black and white of one line at a time By the three-point coincidence sampling method, although it displays each black and white of one line at a time, the pixel range of 6 dots of horizontals will be occupied, and as for the sampling method in this invention, the twice as many degree of **** as this is simply obtained to a three-point coincidence sampling method.

[0055] In addition, although the sampling of the video signal given to the pixel of R and G was made into the same timing as an example, the result same also as the same timing is obtained here in the sampling of the video signal similarly given to the pixel of G, B, or B and R.

[0056]

[Effect of the Invention] As mentioned above, being able to drive a clock frequency by conventional two thirds, and suppressing generating of unnecessary ****, and incorrect actuation of logic, according to claim 1, a level pixel can be increased and resolution can be raised. Moreover, since 3 dots, R, adjoining G, and adjoining B, are sampled to coincidence, color reproduction nature becomes good and can also simplify the configuration of a train electrode drive circuit.

[0057] Moreover, according to claims 2 and 3, the problem of poor color specification is not produced and a matrix mold display with the display capacity of high resolution can be offered.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block circuit diagram of the train electrode drive circuit of the odd number train in the display drive circuit which shows one example of this invention.

[Drawing 2] It is the block circuit diagram of the train electrode drive circuit of the even number train in the display drive circuit which shows one example of this invention.

[Drawing 3] It is a timing chart in the case of performing a two-point sampling [one point toggle] using drawing 1 and the train electrode drive circuit of drawing 2 .

[Drawing 4] It is the circuit diagram of the sampling circuit in drawing 1 and the train electrode drive circuit of drawing 2 .

[Drawing 5] It is the circuit diagram of the output-buffer circuit in drawing 1 and the train electrode drive circuit of drawing 2 .

[Drawing 6] It is drawing showing the example of a display pattern when displaying by turns the timing of the sampling pulse of the video signal given to each pixel of R, G, and B in other examples of this invention, and monochrome vertical lines.

[Drawing 7] It is drawing showing the example of a display pattern when displaying by turns the timing of the sampling pulse of the video signal given to each pixel of R, G, and B in the example of further others of this invention, and monochrome vertical lines.

[Drawing 8] It is the display pattern Fig. of the matrix mold liquid crystal display of the delta array in this invention.

[Drawing 9] It is the block diagram of the conventional TFT-liquid-crystal indicating equipment with the display panel which allotted the pixel in the shape of a matrix.

[Drawing 10] It is the block diagram of the train electrode drive circuit 1 in the TFT-liquid-crystal indicating equipment of drawing 9 .

[Drawing 11] It is the block diagram of the train electrode drive circuit 2 in the TFT-liquid-crystal indicating equipment of drawing 9 .

[Drawing 12] It is a timing chart in the important section of drawing 10 and the train electrode drive circuits 1 and 2 of drawing 11 .

[Drawing 13] It is the block diagram of the matrix mold liquid crystal display of the conventional delta array.

[Drawing 14] It is the circuit diagram of the train electrode drive circuit which drives the matrix mold liquid crystal display of drawing 13 .

[Drawing 15] It is the wave form chart of the shift lock pulse in the three-point sequential sampling method at the time of driving the matrix mold liquid crystal display of the delta array of drawing 13 , and a sampling pulse.

[Drawing 16] It is the wave form chart of the shift lock pulse in the three-point coincidence sampling method at the time of driving the matrix mold liquid crystal display of the conventional delta array, and a sampling pulse.

[Drawing 17] It is drawing showing the example of a sampling pattern in a three-point sequential sampling method.

[Drawing 18] It is drawing showing the example of a sampling pattern in a three-point coincidence sampling method.

[Drawing 19] It is drawing showing the sampling timing wave explaining the trouble in a three-point sequential sampling method, and an indicative data.

[Description of Notations]

3 Line Electrode *****

11 12 Shift register

13 Pixel Electrode

14 TFT (Thin Film Transistor)

15 Display Panel

31 33 Train electrode drive circuit

32 34 Pulse width decision circuit

35, 36, 37, 38, 39, 40 Sampling circuit

R The pixel which presents red

G The pixel which presents green

B The pixel which presents blue

L Distance between level pixels

tau Time delay between level pixels

CK Shift clock

SP Start pulse
 Va, Vb Video signal
 G1, G2, ..., Gi, ..., Gn Line electrode
 S1, S2, ..., Si, ..., Sn Train electrode
 VG1, VG2, ..., VGi, ..., VGn Rhine selection signal
 VS1, VS2, ..., VSi, ..., VS_n Pixel signal
 T Line switch signal
 CNTA, CNTB Output change-over signal
 Sa1, ..., Sai, ..., San Sampling pulse
 Sb1, ..., Sbi, ..., Sbn Sampling pulse
 Sa -- one -- ' -- Sa -- two -- ' -- Sa -- three -- ' ... Sampling pulse
 Sb -- one -- ' -- Sb -- two -- ' -- Sb -- three -- ' ... Sampling pulse
 Aa1, ..., Aai, ..., Aan Transistor
 Ab1, ..., Abi, ..., Abn Transistor
 Ba1, ..., Bai, ..., Ban Transistor
 Bb1, ..., Bbi, ..., Bbn Transistor
 calcium1, ..., Cai, ..., Can Transistor
 Cb1, ..., Cbi, ..., Cbn Transistor
 Da1, ..., Dai, ..., Dan Sampling capacitor
 Db1, ..., Dbi, ..., Dbn Sampling capacitor
 Ea1, ..., Eai, ..., Ean Hold capacitor
 Eb1, ..., Ebi, ..., Ebn Hold capacitor
 F1, ..., Fi, ..., Fn Output buffer
 SAMa1, ..., SAMai, ..., SAMan Sample hold circuit
 SAMb1, ..., SAMbi, ..., SAMbn Sample hold circuit
 VR, VG, VB, ... Pixel signal
 VR', VG', VB', ... Pixel signal

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-261706

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 1 0			
G 0 9 G 3/00		9378-5G		
H 0 4 N 5/06	Z			
9/30				

審査請求 未請求 請求項の数 3 O L (全 14 頁)

(21) 出願番号 特願平6-49334

(22) 出願日 平成6年(1994)3月18日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 中原 征洋

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 水方 勝哉

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 下窪 正也

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

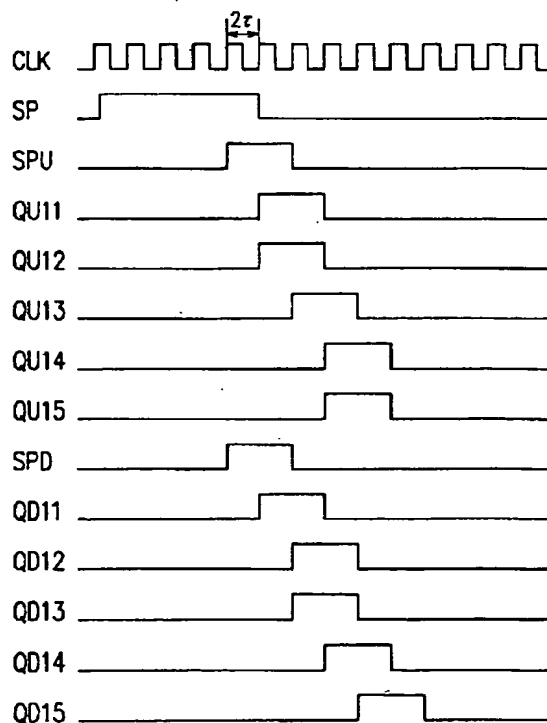
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示駆動装置

(57) 【要約】

【目的】 色表示不良を解消し、高解像度の表示能力を持つ。

【構成】 3/2画素期間を周期とするクロック信号CLKと、サンプリングを開始するスタートパルスSPを発生させ、これらクロック信号CLKおよびスタートパルスSPに基づいて、パルス幅決定回路および列電極駆動回路で順次3画素期間遅れるサンプリングパルスを生じ、このサンプリングパルスにより、それぞれ隣接する3点の赤色、緑色、青色の画素データをサンプリング回路で同時にサンプリングする。したがって、隣接するR、G、Bの3ドットを同時にサンプリングすることができるため、色再現性が良くなり、列電極駆動回路の構成も簡単になる。また、従来のクロック周波数の2/3の周波数を持つクロック信号を入力するため、不要輻射やロジックの誤作動を起こすことが回避される。



(2)

【特許請求の範囲】

【請求項1】 複数の赤色、緑色、青色の各色を有する各画素をマトリクス状に配列し、サンプリングパルスにより赤色、緑色、青色の映像信号を取り込み保持する保持手段を有し、奇数番目の列電極と偶数番目の列電極を別々の駆動回路にて走査して該各画素に映像信号を供給して表示させる表示駆動装置において、

3/2画素期間を周期とするクロック信号を発生するクロック信号発生手段と、

サンプリングを開始するスタートパルスを発生するスタートパルス発生手段と、

該クロック信号およびスタートパルスに基づいて順次3画素期間遅れる該サンプリングパルスを生成するサンプリングパルス生成手段と、

該サンプリングパルスにより、それぞれ隣接する3点の赤色、緑色、青色の画素を同時にサンプリングするサンプリング手段とを備えた表示駆動装置。

【請求項2】 マトリクス状に設けられた複数の画素の隣接する水平奇数ラインと水平偶数ラインに渡って赤色、緑色、青色の3画素毎にデルタ状に配列され、該複数の画素に映像信号を供給して表示させる表示駆動装置において、

該各画素に供給する映像信号のサンプリングのタイミングを水平方向に隣接する2色を同時にサンプリングし、次のタイミングで他の1色をサンプリングするようにサンプリングを繰り返すサンプリング手段を有する表示駆動装置。

【請求項3】 マトリクス状に設けられた複数の画素の隣接する水平奇数ラインと水平偶数ラインに渡って赤色、緑色、青色の3画素毎にデルタ状に配列され、該複数の画素に映像信号を供給して表示させる表示駆動装置において、

表示パネルの1つの該水平奇数ラインの画素に与えるための映像信号をサンプリングする第1のサンプリングパルスと、該表示パネルの隣接する該水平偶数ラインの画素に与えるための映像信号をサンプリングする第2のサンプリングパルスの位相をずらしてサンプリングするサンプリング手段を有する表示駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置、エレクトロルミネッセンス表示装置、プラズマディスプレイなどのように、それぞれ赤色（以下Rという）、緑色（以下Gという）、青色（以下Bという）を呈する隣接する3画素を随所に配するとともに、各画素を行電極、列電極の交差する位置にマトリクス状に配した表示駆動装置に関し、特に、その列電極の表示駆動装置に関する。

【0002】

【従来の技術】この種の表示駆動装置の一例が、例えば、特開昭63-24770号公報（名称：アモルファ

2

スシリコン薄膜トランジスタ液晶パネル駆動方法、国際特許分類：H04N）に開示されている。この従来技術においては、マトリクス型表示装置にカラー映像のある一点を表示するとき、R、G、Bの3色を混ぜた混合色として1画素で表示する方法がとれないので、Rを呈する画素、Gを呈する画素およびBを呈する画素の各々の画素により、R、G、Bの各色の濃淡を調整して、その3色を合わせた合成色として表示する手法が取られている。このため、本来ある一点を表示するためのR、G、Bの3つの色が、一点ではなく3画素の広域にわたって表示画面を占有することになり映像がかなり粗くなる。したがって、表示画面を占める3画素が一点に相当するように表示画面のマトリクスを緻密にするか、または、R、G、Bの各色を呈する画素に与える画素信号をそれぞれ映像信号からサンプリングする時間を各画素の画面上の表示位置に合わせてずらす工夫が必要となる。

【0003】ここで、TFT液晶表示装置を例にとりて図9に基づいて説明する。図9はマトリクス状に画素を配した表示パネルを持つ従来のTFT液晶表示装置のブロック図である。図9において、複数のR、G、Bの各色を有する画素としてのドットをマトリクス状に配列して、列電極駆動回路1、2を交互に配置し、奇数番目の列電極と偶数番目の列電極を別々の駆動回路にて走査する。奇数番目の列にある薄膜トランジスタであるTFTのソースSはソースバスラインSUを介して列電極駆動回路1に接続され、また、偶数番目の列にあるTFTのソースSはソースバスラインSDを介して列電極駆動回路2に接続されている。また、TFTのドレインDは画素電極に接続され、ゲートGはゲートバスラインgを介して行電極駆動回路3に接続されている。

【0004】このように、各画素は行電極gおよび列電極sの交差する箇所に配され、透明な画素電極とTFTから構成されている。これら各画素には、それぞれR、G、Bのフィルターを有しており、画素電極に印加された画素信号に従って、液晶の透過率が変化し、この液晶によって強度を調節されたバックライトからの白色光が前記フィルターを通過するときにフィルターの色が濃淡をつけて呈される仕組みとなっている。ここでは、各画素がそれぞれ有しているフィルター色をRまたはGまたはBというように記している。

【0005】上記構成により、行電極駆動回路3は最初の行電極g1から順に行電極gにオン電圧を印加する。このとき、このオン電圧は一本の行電極gに接続された複数のTFTのゲートGに一斉に供給され、TFTを同時にアナログスイッチとしてオンさせる。また、列電極駆動回路1、2は、外部から与えられるスタートパルスSP、クロック信号CKに基づいたサンプリング期間（ τ ）に、映像信号に含まれるそれぞれR、G、Bの画素信号VR、VG、VBをサンプリングして、それぞれR、G、Bを呈する画素に接続された列電極SU1、S

(3)

3

D1, SU2に与える。ここで、例えば、行電極g1上のTFTがオンすると、TFTのソースSとドレインD間が導通し、列電極駆動回路1, 2が生成したアナログの画素信号VR, VG, VBが列電極SU1, SD1, SU2を介してR, G, Bの各画素の画素電極に与えられて保持される。

【0006】この画素電極に印加された画素信号に従って、液晶の透過率が変化し、この液晶によって強度を調節されたバックライトからの白色光がフィルターを通過するときにフィルターの色が濃淡をつけて呈される。このように、本来ある一点で表示されるべき混合色を、隣接する3点の各画素が3原色R, G, Bで表示し、使用者がこれらの合成色を視認する際、これらの画素の表示位置が長さL(=τ)だけずれているので、これらの画素に与える画素信号VR, VG, VBも1画素分づつずらさなければならず、サンプリング時間も1ドット期間τづつずらす必要がある。このように、隣接する3点の画素について個別に順次サンプリングする3点順次サンプリング方法が用いられている。

【0007】このような3点順次サンプリングについて図面に基いて説明する。この場合の列電極駆動回路1のブロック図を図10に示し、列電極駆動回路2のブロック図を図11に示し、これらのタイミングチャートを図12に示している。図9～図12において、画素信号端子VR, VG, VBにはそれぞれ、画素信号である映像信号VR, VG, VBが与えられる。また、制御端子SP, CKにはそれぞれ、スタートパルスSP、周期が2ドット期間2τのクロック信号CKが与えられる。列電極駆動回路1のパルス幅決定回路4は、スタートパルスSPを受け取り、所定のパルス幅を持つパルスSPUを生成する。また、列電極駆動回路2のパルス幅決定回路5は、スタートパルスSPを受け取り、所定のパルス幅をもつパルスSPDを生成する。

【0008】次に、図10に示す列駆動回路1中の直列接続されたDフリップフロップDU1, DU2, DU3, …はそれぞれ、入力端子ckに与えられるクロック信号CKが立ち上がる時に入力端子Dに与えられているパルスSPU, QU1, QU2, QU3, …を取り込み、図12に示すように、時間を2τずつ遅らせたパルスQU1, QU2, QU3, QU4, …を順次生成し、これらを各サンプリング回路6にそれぞれ与える。例えばパルスQU1, QU2, QU3のパルス期間はそれぞれ時間2τだけずれているので、パルスQU1, QU2, QU3それぞれで取り込まれる映像信号VR, VB, VGの画素信号はそれぞれ2画素分づつずれた映像信号を持つことになる。このため、出力バッファ回路7が列電極に供給する画素信号の映像情報はそれぞれ2画素分づつ、つまり長さ2Lづつずれることになる。

【0009】また同様に、図11に示す列駆動回路2中の直列接続されたDフリップフロップDD1, DD2, 50

4

DD3, …の各入力端子ckにはそれぞれ、各入力端子ckにインバータ8を介して与えられるから、端子CKに与えられるクロック信号CKが立ち下がる時に入力端子Dに与えられているパルスSPD, QD1, QD2, QD3, …を取り込み、図12に示すように、時間を2τずつ遅らせたパルスQD1, QD2, QD3, QD4, …を順次生成し、これらを各サンプリング回路9にそれぞれ与える。例えばパルスQD1, QD2, QD3のパルス期間はそれぞれ時間2τだけずれているので、パルスQD1, QD2, QD3それぞれで取り込まれる映像信号VG, VR, VBの画素信号はそれぞれ2画素分づつずれた映像信号を持つことになる。このため、出力バッファ回路10が列電極に供給する画素信号の映像情報はそれぞれ2画素分づつ、つまり長さ2Lづつずれることになる。

【0010】このように、列電極駆動回路1の出力と列電極駆動回路2の出力は、それぞれ、奇数列と偶数列の走査ラインに接続されているので、これらの画素信号を同時に取り込む行電極g上の各画素は、1画素おきに列電極駆動回路1及び列電極駆動回路2からの画素信号を受け取ることになる。したがって、片側の列電極駆動回路により充電される画素電極は長さ2Lづつずれているので、映像を視認する際、映像のミスマッチが全く生じないことになる。

【0011】さらに、3点順次サンプリングの他の従来例について図面に基いて詳しく説明する。

【0012】図13に従来のデルタ配列のマトリクス型液晶表示装置の構成図を示し、図14に図13のマトリクス型液晶表示装置を駆動する列電極駆動回路の回路図を示している。また、図15に図13のデルタ配列のマトリクス型液晶表示装置を駆動する際のシフトロックパルスおよびサンプリングパルスの波形を示している。図13～図15において、トランジスタAa1, Ab1, …, Aai, Abi, …, Aan, Abn, トランジスタBa1, Bb1, …, Bai, Bbi, …, Ban, Bbn, およびトランジスタCa1, Cb1, …, Cai, Cbi, …, Can, Cbnはそれぞれ、ゲートgに入力される信号が“High”レベルになるとソースsとドレインdが導通し、アナログスイッチとしてオン状態となり、逆に、ゲートgに入力される信号が“Low”レベルになるとソースsとドレインdが非導通となりアナログスイッチとしてオフ状態となるものとする。また、各出力バッファF1, …, Fi, …, Fnは、Va, Vb端子より入力された映像信号を適切な値に増幅し、画素信号VS1, …, VSi, …, VSnとして出力する。さらに、トランジスタCa1, …, Cai, …, Canそれぞれのゲートgには出力切換信号CNTAが入力され、また、トランジスタCb1, …, Cbi, …, Cbnそれぞれのゲートgには出力切換信号CN

5

TBが入力されている。これら出力切換信号CNTA、CNTBはそれぞれ反転しておりライン期間Hの1/2ごとに“High”レベルと“Low”レベルを繰り返すので、まず、0.5Hの期間においてトランジスタCa1、・・・、Cai、・・・、Canがオン状態でトランジスタCb1、・・・、Cbi、・・・、Cbnはオフ状態となり、次の0.5Hの期間においてトランジスタCa1、・・・、Cai、・・・、Canがオフ状態でトランジスタCb1、・・・、Cbi、・・・、Cbnはオン状態となる。

【0013】また、シフトレジスタ11、12には、図15aおよび図15bに示すような周期 τ のシフトクロックCK1、CK2が与えられる。シフトクロックCK1に対してシフトクロックCK2は時間軸上で $\tau/2$ だけ遅れており、位相については $\tau/2$ だけずれている。これらシフトレジスタ11、12には図15cに示すように、1ライン期間の初期にスタートパルスSPが供給される。シフトレジスタ11は、スタートパルスSPが入力されるとシフト動作を開始するが、そのシフト動作のタイミングはシフトクロックCK1の立ち上がりに同期して周期 τ 毎に行われる。シフトレジスタ12も同様に、スタートパルスSPが入力されるとシフト動作を開始するが、そのシフト動作のタイミングはシフトクロックCK2の立ち上がりに同期して周期 τ 毎に行われる。

【0014】その結果、シフトレジスタ11がサンプルホールド回路のトランジスタAa1、・・・、Aai、・・・、Aan、の各ゲートgに与えるサンプリングパルスSa1、・・・、Sai、・・・、Sanは、図15d～図15hに示すように期間が τ のパルスであって、順次 τ ずつ遅延して発生することになる。同様にシフトレジスタ12がサンプルホールド回路のトランジスタAb1、・・・、Abi、・・・、Abn、の各ゲートgに与えるサンプリングパルスSb1、・・・、Sbi、・・・、Sbnは、図15i～図15mに示すように、サンプリングパルスSa1、・・・、Sai、・・・、Sanに対して $\tau/2$ だけずれている点が相違するだけである。

【0015】このように、シフトクロックCK2がシフトクロックCK1に対して、時間軸上で $\tau/2$ だけ遅延し、その位相を $\pi/2$ だけずらしたものであるため、シフトレジスタ11、12それぞれのシフト動作を開始するタイミングが時間軸上で $\tau/2$ だけ遅延することになる。したがって、サンプリングパルスSb1がトランジスタAb1に対して指示するサンプリング期間は、サンプリングパルスSa1がトランジスタAa1に対して指示するサンプリング期間に対して時間軸上で $\tau/2$ だけ遅延する。以下も同様であるので、サンプリングパルスSb1、・・・、Sbi、・・・、Sbnそれぞれが指示するサンプリング期間は、サンプリングパルスSa1、・・・、Sai、・・・、Sanそれぞれが指示する

(4)

6

サンプリング期間に対して時間軸上で $\tau/2$ だけ遅延する。

【0016】さらに、トランジスタAa1、・・・、Aai、・・・、Aanのソースsには、映像信号Vaが入力され、トランジスタAb1、・・・、Abi、・・・、Abnのソースsには、映像信号Vaに対応して正負逆転している映像信号Vbが入力されている。図13における画素の座標を行電極と列電極の交差する点を基準として列電極S1、S2、・・・、Sn、行電極G1、G2、・・・、Gnの数値で示す。映像信号Vaは、1本の奇数行電極Gj上に並ぶ各画素の配列に対して、 τ の間ごとに時系列的に各画素電極13(1, j)、13(2, j)、・・・、13(n, j)に印加する信号電圧Va1、・・・、Vai、・・・、Vanを並べたものである。映像信号Vbは奇数行電極Gjに隣接する1本の偶数行電極G(j+1)上に並ぶ各画素の配列に対応して、 τ の間ごとに時系列的に各画素の画素電極13(1, (j+1))、13(2, (j+1))、・・・、13(n, (j+1))に印加する信号電圧Vb1、・・・、Vbi、・・・、Vbnを並べたものである。

【0017】したがって、映像信号Va上にある信号電圧Va1、・・・、Vai、・・・、VanをサンプリングパルスSa1、・・・、Sai、・・・、Sanによってサンプリングでき、同様に映像信号Vb上にある信号電圧Vb1、・・・、Vbi、・・・、VbnをサンプリングパルスSb1、・・・、Sbi、・・・、Sbnによってサンプリングできることになる。さらに、信号電圧Va1、・・・、Vai、・・・、Vanに対して信号電圧Vb1、・・・、Vbi、・・・、Vbnは時間軸上において、半画素分に相当する $\tau/2$ だけ遅れることになる。

【0018】なお、図13に示す奇数行電極G1に接続した各画素において例えば第i番目の画素はG(緑)しか呈さないで、この画素の画素電極13(i, 1)に印加される信号電圧Vaiは緑色の輝度を再生するために生成されたものであり、列電極SiからトランジスタであるTFT14(i, 1)を介して画素電極13

(i, 1)に転送される。また同様に、図13に示す偶数行電極G2に接続した各画素において例えば第i番目の画素は赤Rしか呈さないで、この画素の画素電極13(i, 2)に印加される信号電圧Vbiは赤色の輝度を再生するために生成されたものであり、列電極SiからTFT14(i, 2)を介して画素電極13(i, 2)に転送される。他の画素についても同様である。

【0019】次に、上述した駆動回路について駆動手順を説明する。

【0020】上記構成により、まず、1ライン期間において、サンプリングパルスSa1、・・・、Sai、・・・、San、サンプリングパルスSb1、・・・、Sbi、・・・、Sbnが順次“High”レベルになるの

50

(5)

7

で、トランジスタAa1、Ab1、・・・、Aai、Abi、・・・、Aan、Abnが順次オン状態となり、映像信号Va、Vbから得られる信号電圧Val、Vb1、・・・、Vai、Vbi、・・・、Van、VbnがサンプリグコンデンサDa1、Db1、・・・、Dai、Dbi、・・・、Dan、Dbnに順次サンプリグされる。以上が3点順次サンプリグ方式である。

【0021】さらに、他のサンプリグ方式としては、特開平3-158895号公報に示される図16のような、画素R、G、Bに与える3画素の信号電圧を1単位としてサンプリグする3点同時サンプリグ方式がある。この方式では1ライン期間においてサンプリグパルスSa1'、・・・、Sai'、・・・、San'、Sb1'、・・・、Sbi'、・・・、Sbn'は図16n～図16s、図16t～図16yに示すように、水平3ドット分を1単位として順次“High”レベルになるので、トランジスタAa1、Ab1、・・・、Aai、Abi、・・・、Aan、Abnも3段ずつオン状態となり、映像信号Va、Vbから得られる信号電圧Val、Vb1、・・・、Vai、Vbi、・・・、Van、VbnがサンプリグコンデンサDa1、Db1、・・・、Dai、Dbi、・・・、Dan、Dbnの3段ずつ順にサンプリグされる。以下の動作については3点順次サンプリグ方式および3点同時サンプリグ方式共に同様である。

【0022】1ライン期間においてサンプリグコンデンサDa1、Db1、・・・、Dai、Dbi、・・・、Dan、Dbnによる上記サンプリグ動作がすべて完了した後、ラインスイッチ信号電圧Tが、“High”レベルに立ち上がり、すべてのトランジスタBa1、Bb1、・・・、Bai、Bbi、・・・、Ban、Bbnが一斉にオン状態になるので、各信号電圧Val、Vb1、・・・、Vai、Vbi、・・・、Van、Vbnが各ホールドコンデンサEa1、Eb1、・・・、Eai、Ebi、・・・、Ean、Ebnにホールドされる。

【0023】このようにして1ライン期間に各ホールドコンデンサEa1、Eb1、・・・、Eai、Ebi、・・・、Ean、Ebnにホールドされた信号電圧Val、Vb1、・・・、Vai、Vbi、・・・、Van、Vbnのそれぞれは、以下のように次の1ライン期間の間に図13に示すデルタ配列のマトリクス型液晶パネル15の各画素の画素電極13(1,1)、・・・、13(i,1)、・・・、13(n,1)、13(1,2)、・・・、13(i,2)、・・・、13(n,2)に転送される。

【0024】行電極G1に印加されるライン選択信号VG1が、まず、1/2ライン期間の間に“High”レベルになり、行電極G1に接続されたTFT14(1,1)、・・・、14(i,1)、・・・、14(n,1)

8

1)がすべてオン状態になる。この期間、出力切換信号CNTBが“Low”レベルであり出力切換信号CNTAが“High”レベルであるため、トランジスタCb1、・・・、Cbi、・・・、Cbnはすべてオフ状態のままトランジスタCa1、・・・、Cai、・・・、Can、はすべて一斉にオン状態となるので、各列電極S1、・・・、Si、・・・、Snには画素信号VS1、・・・、VSi、・・・、VS_nとして信号電圧Vb1、・・・、Vbi、・・・、Vbnは出力されず、信号電圧Val、・・・、Vai、・・・、Vanだけがそれぞれ出力される。

【0025】したがって、各信号電圧Val、・・・、Vai、・・・、Vanは一斉にオン状態になっている行電極G1に接続されたTFT14(1,1)、・・・、14(i,1)、・・・、14(n,1)を介して、画素電極13(1,1)、・・・、13(i,1)、・・・、13(n,1)にそれぞれ印加される。

【0026】残りの1/2ライン期間に、行電極G2に印加されるライン選択信号VG2が“High”レベルになり、行電極G2に接続されたTFT14(1,2)、・・・、14(i,2)、・・・、14(n,2)がすべてオン状態となる。この期間、出力切換信号CNTAが“Low”レベルであり出力切換信号CNTBが“High”レベルであるため、トランジスタCa1、Cai、・・・、Canはすべてオフ状態のままトランジスタCb1、・・・、Cbi、・・・、Cbn、はすべて一斉にオン状態となるので、各列電極S1、・・・、Si、・・・、Snには画素信号VS1、・・・、VSi、・・・、VS_nとして信号電圧Val、・・・、Vai、・・・、Vanは出力されず、信号電圧Vb1、・・・、Vbi、・・・、Vbnだけがそれぞれ出力される。したがって、各信号電圧Vb1、・・・、Vbi、・・・、Vbnは一斉にオン状態になっている行電極G2に接続されたTFT14(1,2)、・・・、14(i,2)、・・・、14(n,2)を介して、画素電極13(1,2)、・・・、13(i,2)、・・・、13(n,2)にそれぞれ印加される。

【0027】即ち、サンプルホールド回路SAMa1、・・・、SAMai、・・・、SAManは奇数行目の電極G1、G3、・・・に接続された画素に関する映像信号Val、・・・、Vai、・・・、Vanをホールドすることになり、サンプルホールド回路SAMb1、・・・、SAMbi、・・・、SAMbnは偶数行目の行電極G2、G4、・・・に接続された画素に関する映像信号Vb1、・・・、Vbi、・・・、Vbnをホールドすることになる。

【0028】このようにして図13示したデルタ配列のマトリクス型液晶パネル15を駆動すると上述のように、奇数行目の行電極G1、G3、・・・接続された画

9

素に与える信号電圧 $V_{a1}, \dots, V_{ai}, \dots, V_{an}$ に対して、偶数行目の行電極 G_2, G_4, \dots に接続された画素に与える映像信号 $V_{b1}, \dots, V_{bi}, \dots, V_{bn}$ が半画素分だけ遅れるので、画素境界線が乱れるような現象が滅失し、デルタ配列の表示パネル 15 に鮮明な画像が再生される。

【0029】

【発明が解決しようとする課題】しかし、上記従来の3点順次サンプリング方式では、図12に示すように、用いるクロック信号CKの周期が2ドット期間 2τ であるため、入力クロック周波数がかなり高くなり、水平画素数を増やすに伴ってさらに入力クロック周波数を高くしなければならないので、不要輻射を起こしたりロジックの誤動作を招く。また、2ドット毎にサンプリングパルスを与えなければならないので、列電極駆動回路1, 2が複雑になる。

【0030】このように、3点順次サンプリングを行う場合、クロック信号CKの周期を図12のように2ドット期間 2τ としなければならない、水平画素を増やそうとするとクロック信号CKの周波数を上げなければならない、不要輻射の発生やロジックの誤動作などの問題が発生する。また、カラー表示の場合、本来一点で表示されるべき点を、隣接するR、G、Bの3点で表すため、R、G、Bのサンプリング時間をそれぞれ τ づつずらしている、本来ある一点に表示されるべき色を再現することが難しくなる。

【0031】次に、3点順次サンプリングにおいては図17に示すように、映像信号VcよりR、G、B各画素に与える信号電圧 V_R, V_G, V_B をサンプリングするためのサンプリングパルス S_{a1}, S_{a2}, S_{a3} を発生させるシフトクロックCK1の周期が1ドット期間 ($=\tau$) であるため、サンプリングにより得られる信号電圧も時系列的に1ドット期間 ($=\tau$) だけ異なった部分の信号レベルとなり、映像信号Vcに示すような高域信号入力時におけるR、G、B信号レベルの相違は色表示不良という課題となって現れてくる。

【0032】例えば、液晶表示パネル（ノーマリーホワイトモード）において、図19aに示すような2値デジタル映像信号を各水平ラインの画素に入力して黒色の縦ラインを表示させようとした場合、入力された映像信号はビデオアンプの出力インピーダンスや配線抵抗、容量により図19bのように波形の立ち上がり、立ち下がりが鈍り易い。図19cに示すサンプリングクロックで各画素に与える映像信号をサンプリングした場合、そのタイミングは映像信号の鈍ったところに当り、図19dのR電圧のようにレベルが低くなるばかりではなく、1つのRデータに対して2度サンプリングされることになる。図19の例では、2度サンプリングされることはない。このためRの映像信号は期待値よりも電圧レベルが低く、更に2度もサンプリングされるため、本来1ドッ

(6)

10

トの表示をすべきものが2ドットにまたがり、次段R画素が着色されてしまい、各ラインとも同じタイミングでサンプリングされることから、色にじみした縦の黒ラインに隣接した薄目の縦ラインが表示される症状が生じる。

【0033】また、シフトクロックCK1の周期が1ドット期間 ($=\tau$) であるため、クロック周波数が高くなり、水平画素数を増やすに伴ってさらに入力クロック周波数を増やすと不要輻射を起こしたりロジックの誤動作を招く。

【0034】さらに、3点同時サンプリングでは図18に示すように、映像信号Vdより隣接する水平画素R、G、Bに与える信号電圧 V_R', V_G', V_B' がサンプリングパルス $S_{a1}', S_{a2}', S_{a3}'$ により同じタイミングでサンプリングされるため、上記したような表示不良の問題はないが、同一レベルの信号電圧が水平3ドット分を占有してしまうため、水平画素数の少ない表示装置では高解像度が得られない。

【0035】本発明は、上記従来の問題を解決するもので、色表示不良を解消し、高解像度の表示能力を持つ表示駆動装置を提供することを目的とする。

【0036】

【課題を解決するための手段】本発明の表示駆動装置は、複数の赤色、緑色、青色の各色を有する各画素をマトリクス状に配列し、サンプリングパルスにより赤色、緑色、青色の映像信号を取り込み保持する保持手段を有し、奇数番目の列電極と偶数番目の列電極を別々の駆動回路にて走査して該各画素に映像信号を供給して表示させる表示駆動装置において、3/2画素期間を周期とするクロック信号を発生するクロック信号発生手段と、サンプリングを開始するスタートパルスとを発生するスタートパルス発生手段と、該クロック信号およびスタートパルスに基づいて順次3画素期間遅れる該サンプリングパルスを生成するサンプリングパルス生成手段と、該サンプリングパルスにより、それぞれ隣接する3点の赤色、緑色、青色の画素を同時にサンプリングするサンプリング手段とを備えたものであり、そのことにより上記目的が達成される。

【0037】また、本発明の表示駆動装置は、マトリクス状に設けられた複数の画素の隣接する水平奇数ラインと水平偶数ラインに渡って赤色、緑色、青色の3画素毎にデルタ状に配列され、該複数の画素に映像信号を供給して表示させる表示駆動装置において、該各画素に供給する映像信号のサンプリングのタイミングを水平方向に隣接する2色を同時にサンプリングし、次のタイミングで他の1色をサンプリングするようにサンプリングを繰り返すサンプリング手段を有するものであり、そのことにより上記目的が達成される。

【0038】さらに、本発明の表示駆動装置は、マトリクス状に設けられた複数の画素の隣接する水平奇数ライ

50

(7)

11

ンと水平偶数ラインに渡って赤色、緑色、青色の3画素毎にデルタ状に配列され、該複数の画素に映像信号を供給して表示させる表示駆動装置において、表示パネルの1つの該水平奇数ラインの画素に与えるための映像信号をサンプリングする第1のサンプリングパルスと、該表示パネルの隣接する該水平偶数ラインの画素に与えるための映像信号をサンプリングする第2のサンプリングパルスの位相をずらしてサンプリングするサンプリング手段を有するものであり、そのことにより上記目的が達成される。

【0039】

【作用】上記構成により、クロック周波数を従来の2/3で駆動するので、不要輻射の発生やロジックの誤作動を抑えながら水平画素を増やすことができ、色再現性もよくなる。また、列電極駆動回路の構成が簡単になる。

【0040】また、信号のサンプリングタイミングを赤色、緑色、青色の隣接する画素に与える映像信号を同時にサンプリングし、順に他の1点をサンプリングする手段、または、表示装置の奇数ラインの画素に与える映像信号のサンプリングパルスのタイミングと偶数ラインの画素に与える映像信号のサンプリングパルスのタイミングの位相をずらす手段により、映像信号のサンプリングを行うことで、映像信号の1点の合成色を、隣接する水平奇数ラインと水平偶数ラインを組み合わせた赤色、緑色、青色の3画素の表示ができる。

【0041】この3画素に供給される信号電圧のレベルは同じタイミングでサンプリングされるため色表示不良に問題はなく、従来の3点同時サンプリング時のように表示範囲が水平3ドットから水平2ドットの範囲で表示でき、そのサンプリングパルスのシフトタイミングも1.5画素(1.5 τ)ごとで行えるため、3点順次サンプリングに対して低いクロック周波数で駆動でき、従来の3点同時サンプリング時よりも高い解像度が得られる。

【0042】

【実施例】以下、本発明の実施例について説明する。マトリクス型表示装置の駆動回路について、TFT液晶表示装置を駆動する駆動回路を例にとって説明する。

【0043】図1は本発明の一実施例を示す表示駆動回路における奇数列の列電極駆動回路のブロック回路図であり、図2は偶数列の列電極駆動回路のブロック回路図である。また、この列駆動回路を用いて2点1点トグルサンプリングを行う場合のタイミングチャートを図3に示す。

【0044】図1および図2において、列電極駆動回路31のパルス幅決定回路32は、スタートパルスSPを受け取り、所定のパルス幅を持つパルスSPUを生成し、DフリップフロップDU11の入力端子Dに供給する。また、列電極駆動回路33のパルス幅決定回路34は、スタートパルスSPを受け取り、所定のパルス幅を

12

持つパルスSPDを生成し、DフリップフロップDD11の入力端子Dに供給する。ここで、端子CK11、12にはクロック信号CK11、12を入力する。このクロック信号CK11、12は、図7および図8のクロック信号CKの2/3の周波数を持つクロック信号とする。

【0045】列電極駆動回路31中のDフリップフロップDU11は、制御端子CK11に与えられているクロック信号CK11が立ち上がる時に入力端子Dに与えられているパルスSPUに対して時間を遅らせたパルスQU11を生成する。このパルスQU11をDフリップフロップDU12の入力端子Dとサンプリング回路35、36に与える。さらに、DフリップフロップDU12もDフリップフロップDU11と同様に、端子CK11に与えられるクロック信号CK11が立ち上がる時に入力端子Dに与えられるパルスQU11を取り込み、パルスQU11に対して時間を遅らせたパルスQU12を生成する。このパルスQU12をDフリップフロップDU13の入力端子Dとサンプリング回路37に与える。以下、DフリップフロップDU13さらにDフリップフロップDU14も同様に動作する。

【0046】列電極駆動回路33中のDフリップフロップDD11は、端子CK12に与えられているクロック信号CK12が立ち上がる時に入力端子Dに与えられているパルスSPDに対して時間を遅らせたパルスQD11を生成する。このパルスQD11をDフリップフロップDD12の入力端子Dとサンプリング回路38に与える。このDフリップフロップDD12もDフリップフロップDD11と同様に、端子CK12に与えられるクロック信号CK12が立ち上がる時に入力端子Dに与えられるパルスQD11を取り込み、パルスQD11に対して時間を遅らせたパルスQD12を生成する。このパルスQD12をDフリップフロップDD13の入力端子Dとサンプリング回路39、40に与える。以下、DフリップフロップDD13さらにDフリップフロップDD14も同様に動作する。

【0047】このように、列電極駆動回路31と列電極駆動回路33に入力するクロック信号CK11、12は同一の信号なので、列電極駆動回路31のサンプリング回路35、36と列電極駆動回路33のサンプリング回路38は同時に動作することになる。その後、次のクロック信号CK11、12の立ち上がりで、列電極駆動回路31のサンプリング回路37と列電極駆動回路33のサンプリング回路39、40は同時に動作することになる。以下同様の動作を繰り返す。

【0048】したがって、隣接するR、G、Bの3ドットを同時にサンプリングすることができるため、色再現性が良くなり、列電極駆動回路の構成も簡単にするができる。また、従来のクロック周波数の2/3の周波数を持つクロック信号を入力するため、不要輻射やロジ

(8)

13

ックの誤作動を起こすことを回避することができる。なお、図4には図1および図2のサンプリング回路の回路構成例を示し、図5には図1および図2の出力バッファ回路の回路構成例を示しており、サンプリング回路および出力バッファ回路とも容易に構成することができる。

【0049】次に、本発明の他の実施例、さらに他の実施例を示す。図6に本発明の他の実施例におけるR、G、Bの各画素に与える映像信号のサンプリングパルスのタイミング図と、白黒の垂直ラインを交互に表示させたときの表示パターン例を示している。図7に本発明のさらに他の実施例の3点同時サンプリング方式におけるR、G、Bの各画素に与える映像信号のサンプリングパルスのタイミング図と、同様に白黒の垂直ラインを交互に表示させたときの表示パターン例を示している。なお、各表示画素の配線パターンは図1および図2と同様であり、ここでは、その説明を省略する。図6においては、隣接するR（赤色）、G（緑色）の画素に与える映像信号を同時にサンプリングし、順に他の1点のB（青色）の画素に与える映像信号をサンプリングする。また、図7においては、表示装置の奇数ラインの画素に与える映像信号のサンプリングパルスのタイミングと偶数ラインの画素に与える映像信号のサンプリングパルスのタイミングの位相をずらして、映像信号のサンプリングを行う。以上により、映像信号の1点の合成色を、図8に示すように隣接する水平奇数ラインと水平偶数ラインを組み合わせたR、G、Bの3画素（デルタ配列）の表示が可能となる。

【0050】この3画素に供給される信号電圧のレベルは同じタイミングでサンプリングされるため色表示不良に問題はなく、従来の3点同時サンプリング時のように表示範囲が水平3ドットから水平2ドットの範囲で表示でき、そのサンプリングパルスのシフトタイミングも1.5画素（1.5 τ ）ごとで行えるため、3点順次サンプリングに対して低いクロック周波数で駆動でき、従来の3点同時サンプリング時よりも高い解像度が得られる。

【0051】即ち、図6および図7に示す波形W(3)～W(14)は表示パネル41、42のR、G、Bの各画素に与えられる信号電圧をサンプリングするための、図2のシフトレジスタ9、10により生成されるサンプリングパルスSa1、Sa2、Sa3、・・・、Sb1、Sb2、Sb3、・・・、また、サンプリングパルスSa1'、Sa2'、Sa3'、・・・、Sb1'、Sb2'、Sb3'、・・・のタイミングを示している。

【0052】また、図6および図7におけるサンプリングパルスSa1、Sa2、Sa3、・・・、Sb1、Sb2、Sb3、・・・、また、サンプリングパルスSa1'、Sa2'、Sa3'、・・・、Sb1'、Sb2'、Sb3'、・・・はともにシフトクロックCKの

14

立ち上がりに同期しており、スタートパルスSPが入力されるとサンプリングを開始し、サンプリングパルスSa1、Sa2、Sa3、・・・、Sb1、Sb2、Sb3、・・・、また、サンプリングパルスSa1'、Sa2'、Sa3'、・・・、Sb1'、Sb2'、Sb3'、・・・の立ち上がりで図2のトランジスタAa1、Ab1、・・・、Aai、Abj、・・・、Aan、Abnが順次オン状態となり、信号電圧がサンプリングコンデンサDa1、Db1、・・・、Dai、Dbi、・・・、Dan、Dbnに順次サンプリングされる。

【0053】図6の表示パネル41における表示パターンの第1行目と第2行目で構成されるデルタ配列のR、G、B各画素に与える映像信号のサンプリング波形をみると、奇数ラインと偶数ラインをサンプリングするサンプリングパルスW(3)、W(4)、W(8)、およびW(5)、W(6)、W(7)は常に同じタイミングで立ち上がっていることから、水平奇数ラインと水平偶数ラインを組み合わせたR、G、B3画素（デルタ配列）に与える映像信号は常に同時であることがわかる。これより、デルタ配列のR、G、B各画素に与える映像信号のタイミングずれによる色表示不良の問題は生じない。

【0054】したがって、垂直ラインを表示させた表示パネル41の白黒の表示パターンにおけるサンプリング方式と、図7の3点同時サンプリング方式を比較すると、本発明におけるサンプリング方式における白黒の垂直ラインを表示させた表示パネル41の表示パターンでは、白黒それぞれ1ラインずつ表示するのに水平3ドットの画素範囲を占有するのに対し、3点同時サンプリング方式では白黒それぞれ1ラインずつ表示するのに水平6ドットの画素範囲を占有することとなり、単純に本発明におけるサンプリング方式は3点同時サンプリング方式に対し、2倍の改像度が得られる。

【0055】なお、ここでは、一例として、R、Gの画素に与える映像信号のサンプリングを同じタイミングとしたが、同様にG、BまたはB、Rの画素に与える映像信号のサンプリングを同じタイミングとしても、同様の結果が得られる。

【0056】

【発明の効果】以上のように請求項1によれば、クロック周波数を従来の2/3で駆動することができて、不要輻射の発生やロジックの誤作動を抑えながら水平画素を増やすことができて解像度を上げることができる。また、隣接するR、G、Bの3ドットを同時にサンプリングするため、色再現性がよくなり、列電極駆動回路の構成も簡単にすることができる。

【0057】また、請求項2、3によれば、色表示不良の問題を生じさせず、高解像度の表示能力を持つマトリクス型表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す表示駆動回路における

50

(9)

15

奇数列の列電極駆動回路のブロック回路図である。

【図2】本発明の一実施例を示す表示駆動回路における偶数列の列電極駆動回路のブロック回路図である。

【図3】図1および図2の列電極駆動回路を用いて2点1点トグルサンプリングを行う場合のタイミングチャートである。

【図4】図1および図2の列電極駆動回路におけるサンプリング回路の回路図である。

【図5】図1および図2の列電極駆動回路における出力バッファ回路の回路図である。

【図6】本発明の他の実施例におけるR、G、Bの各画素に与える映像信号のサンプリングパルスのタイミングと、白黒の垂直ラインを交互に表示させたときの表示パターン例を示す図である。

【図7】本発明のさらに他の実施例におけるR、G、Bの各画素に与える映像信号のサンプリングパルスのタイミングと、白黒の垂直ラインを交互に表示させたときの表示パターン例を示す図である。

【図8】本発明におけるデルタ配列のマトリクス型液晶表示装置の表示パターン図である。

【図9】マトリクス状に画素を配した表示パネルを持つ従来のTFT液晶表示装置のブロック図である。

【図10】図9のTFT液晶表示装置における列電極駆動回路1のブロック図である。

【図11】図9のTFT液晶表示装置における列電極駆動回路2のブロック図である。

【図12】図10および図11の列電極駆動回路1、2の要部におけるタイミングチャートである。

【図13】従来のデルタ配列のマトリクス型液晶表示装置の構成図である。

【図14】図13のマトリクス型液晶表示装置を駆動する列電極駆動回路の回路図である。

【図15】図13のデルタ配列のマトリクス型液晶表示装置を駆動する際の3点順次サンプリング方式におけるシフトロックパルスおよびサンプリングパルスの波形図である。

【図16】従来のデルタ配列のマトリクス型液晶表示装置を駆動する際の3点同時サンプリング方式におけるシフトロックパルスおよびサンプリングパルスの波形図である。

【図17】3点順次サンプリング方式におけるサンプリングパターン例を示す図である。

【図18】3点同時サンプリング方式におけるサンプリングパターン例を示す図である。

【図19】3点順次サンプリング方式における問題点を説明するサンプリングタイミング波形と表示データを示す図である。

【符号の説明】

3 行電極駆動回路

11、12 シフトレジスタ

16

13 画素電極

14 TFT（薄膜トランジスタ）

15 表示パネル

31、33 列電極駆動回路

32、34 パルス幅決定回路

35、36、37、38、39、40 サンプリング回路

R 赤色を呈する画素

G 緑色を呈する画素

10 B 青色を呈する画素

L 水平画素間距離

τ 水平画素間遅延時間

CK シフトクロック

SP スタートパルス

Va、Vb 映像信号

G1、G2、...、Gi、...、Gn 行電極

S1、S2、...、Si、...、Sn 列電極

VG1、VG2、...、VGi、...、VGn

ライン選択信号

20 VS1、VS2、...、VSi、...、VS n

画素信号

T ラインスイッチ信号

CNTA、CNTB 出力切換信号

Sa1、...、Sai、...、San サンプリングパルス

Sb1、...、Sbi、...、Sbn サンプリングパルス

Sa1'、Sa2'、Sa3'、... サンプリングパルス

30 Sb1'、Sb2'、Sb3'、... サンプリングパルス

Aa1、...、Aai、...、Aan トランジスタ

Ab1、...、Abi、...、Abn トランジスタ

Ba1、...、Bai、...、Ban トランジスタ

Bb1、...、Bbi、...、Bbn トランジスタ

40 Ca1、...、Cai、...、Can トランジスタ

Cb1、...、Cbi、...、Cbn トランジスタ

Da1、...、Dai、...、Dan サンプリングコンデンサ

Db1、...、Dbi、...、Dbn サンプリングコンデンサ

Ea1、...、Eai、...、Ean ホールドコンデンサ

50 Eb1、...、Ebi、...、Ebn ホールド

(10)

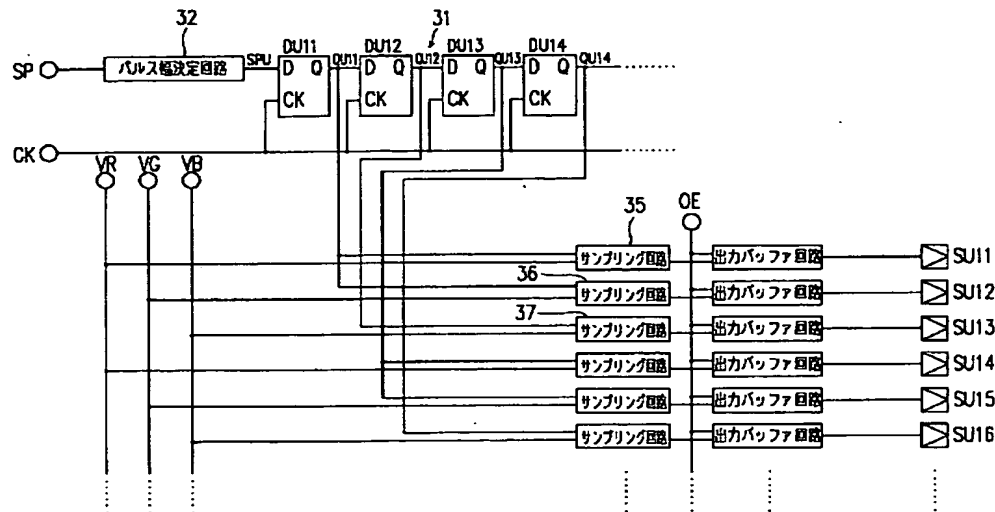
コンデンサ

F1、...、Fi、...、Fn 出力バッファ

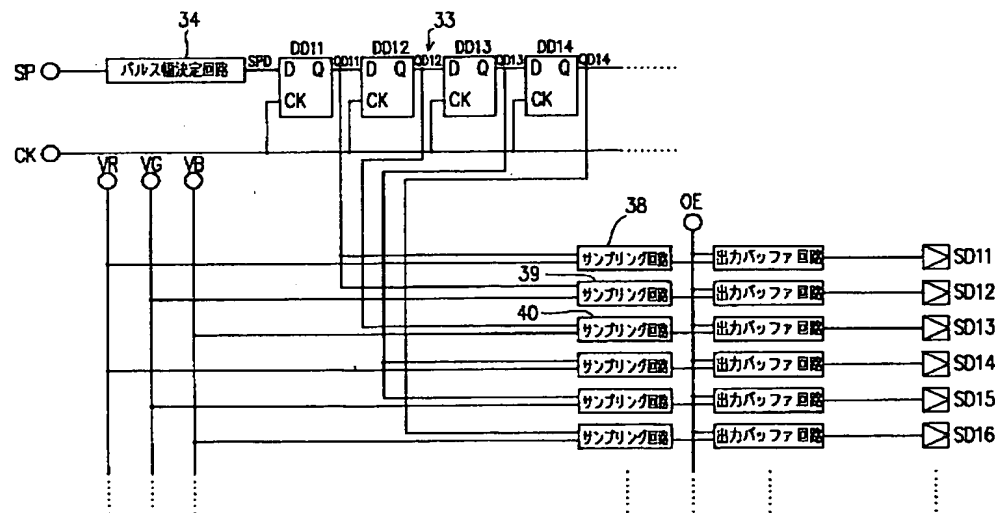
SAMA1、...、SAMAi、...、SAMAn

サンプル・ホールド回路

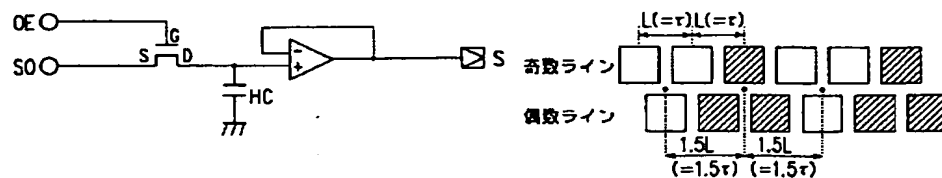
【図1】



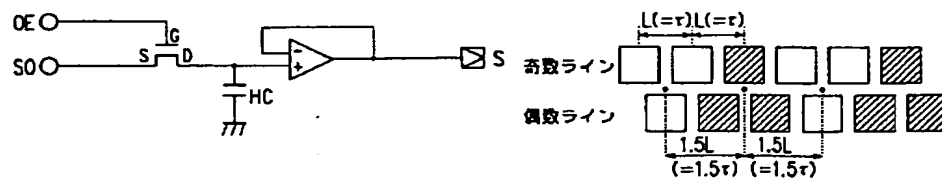
【図2】



【図5】



【図8】



18

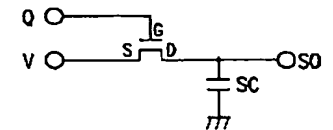
SAMB1、...、SAMBi、...、SAMBn

サンプル・ホールド回路

VR、VG、VB、... 画素信号

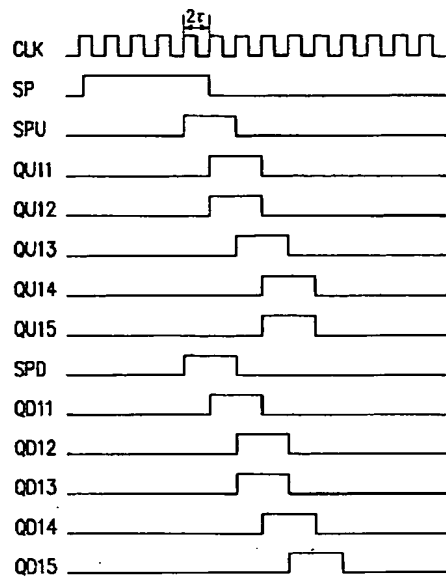
VR'、VG'、VB'、... 画素信号

【図4】

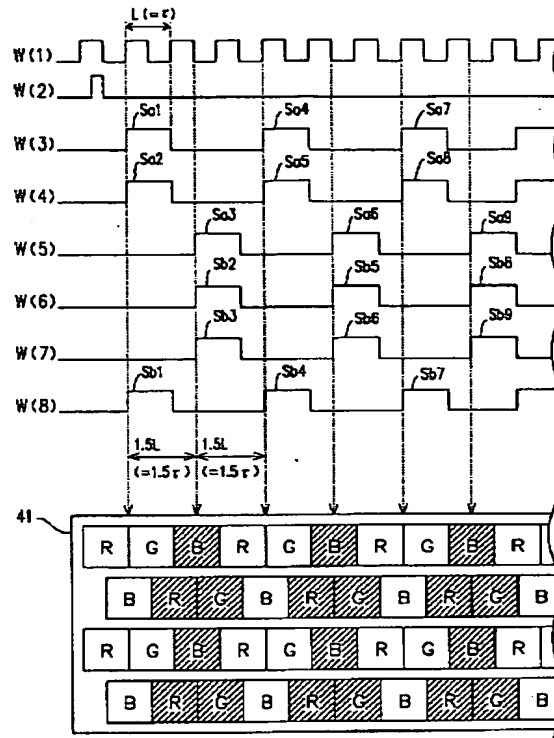


(11)

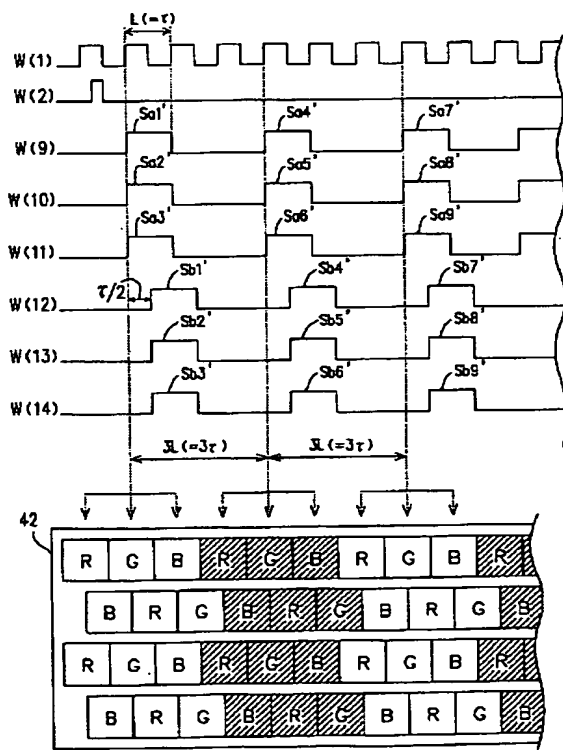
【図3】



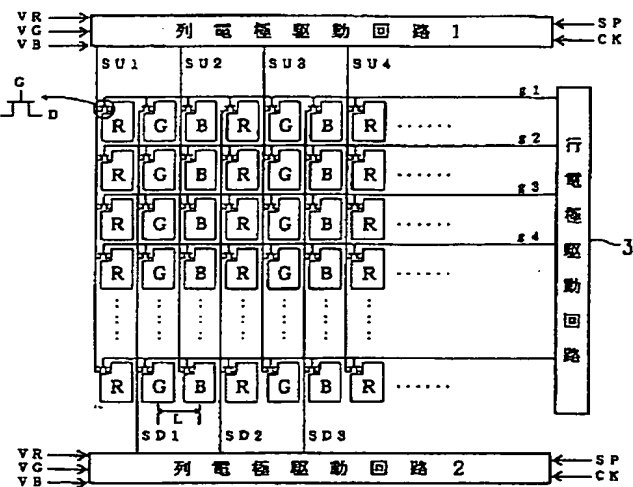
【図6】



【図7】

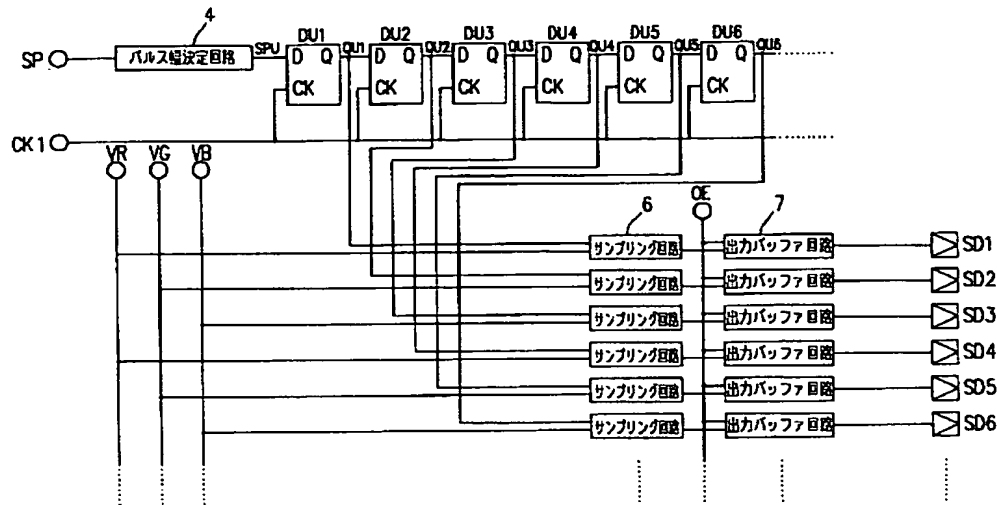


【図9】

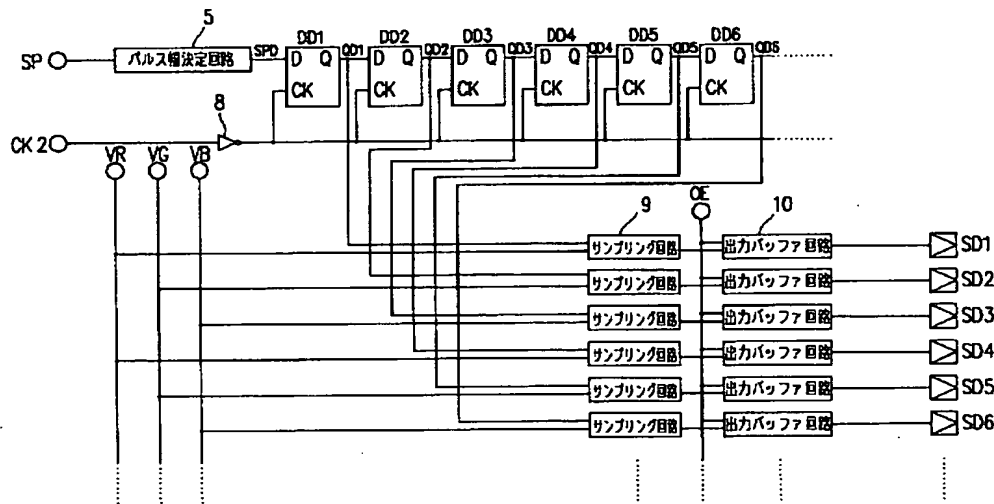


(12)

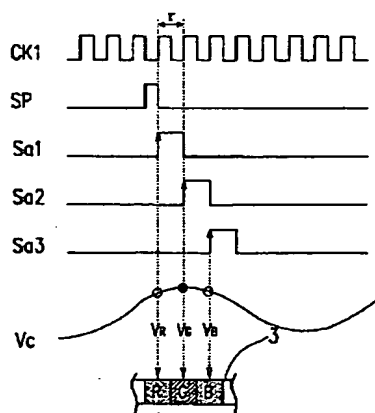
【図10】



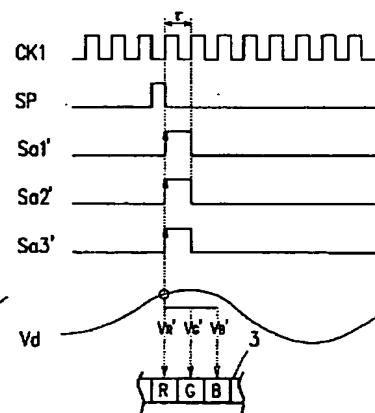
【図11】



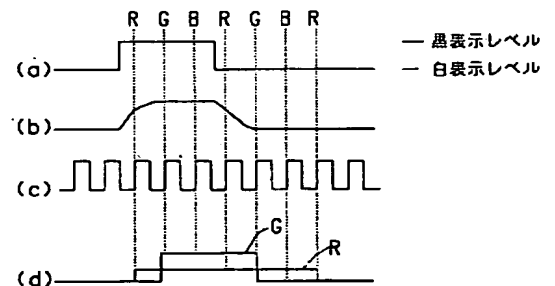
【図17】



【図18】

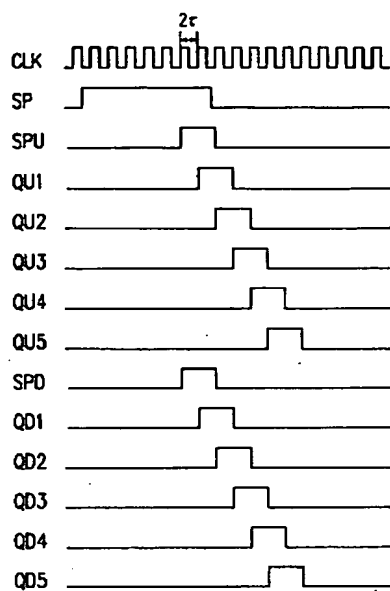


【図19】

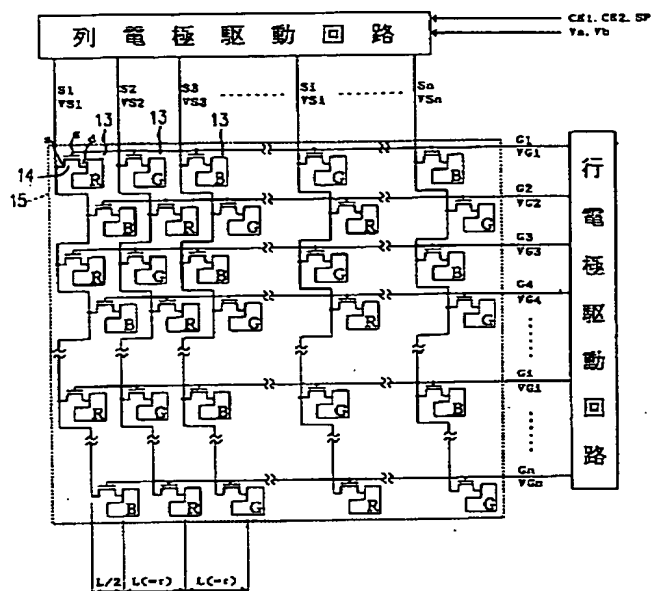


(13)

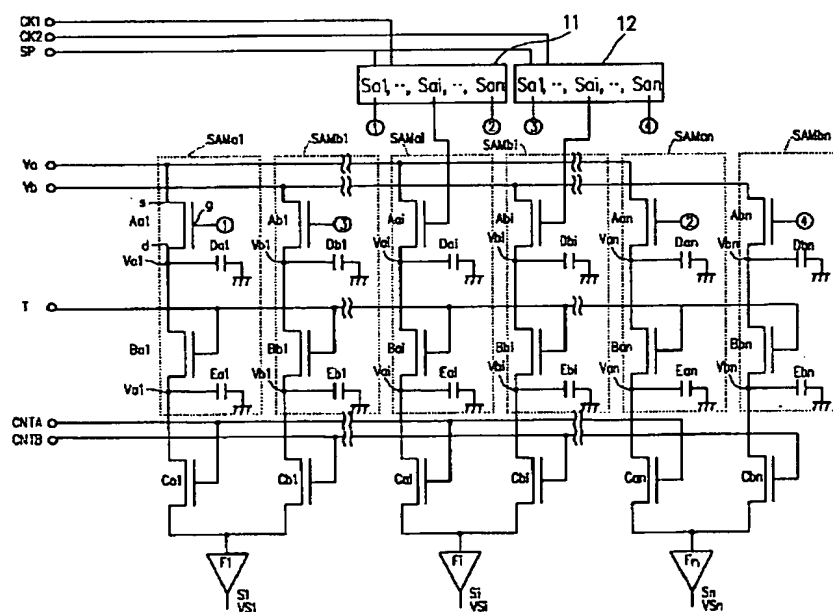
【図12】



【図13】

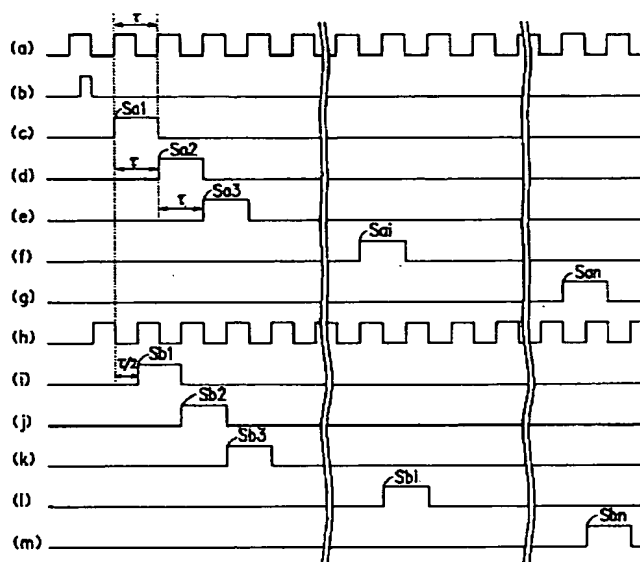


【図14】

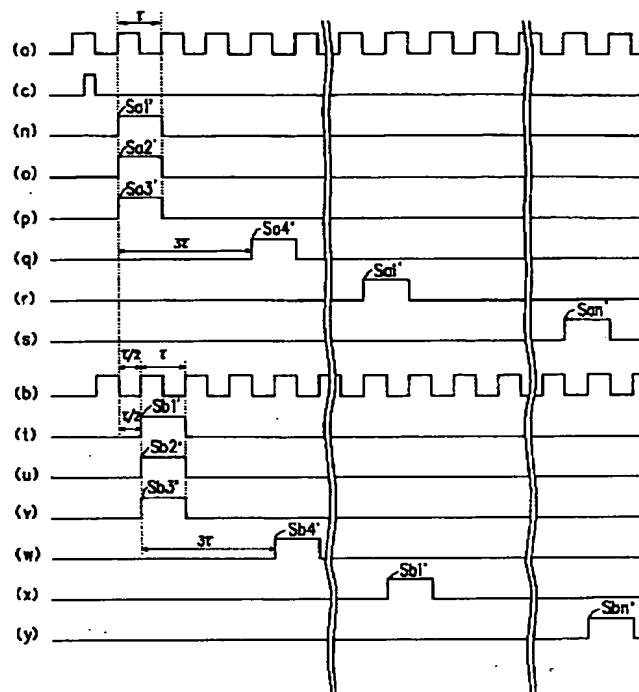


(14)

【図15】



【図16】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.